

# P100 FPGA 核心板

## 用户手册

---

# P100

REV 1.0 版

芯驿电子科技（上海）有限公司

# 目录

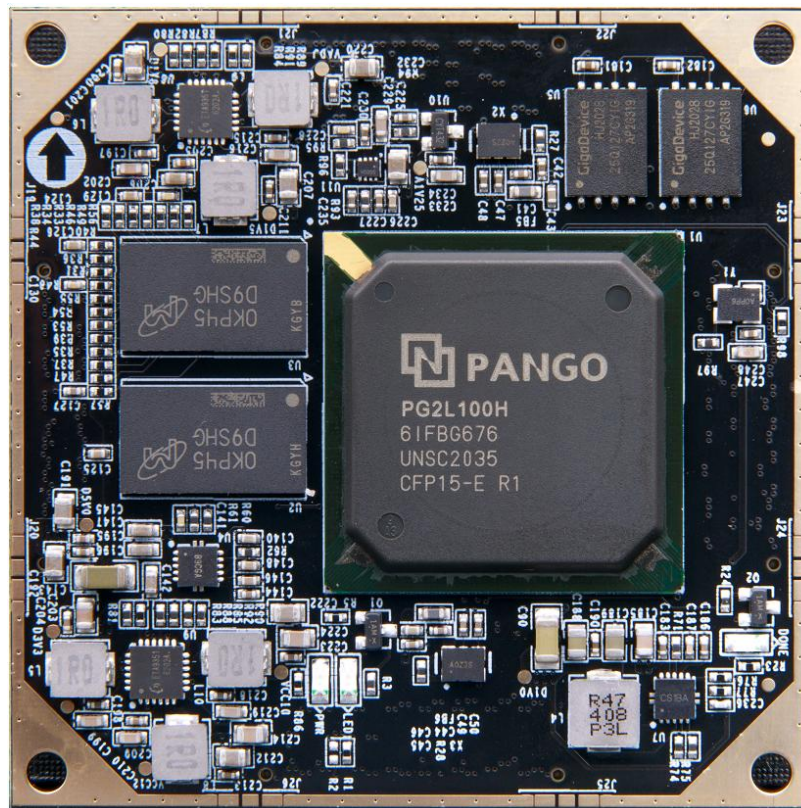
(一) 简介 .....	3
(二) FPGA .....	4
(三) 有源晶振 .....	6
(四) DDR3 .....	8
(五) QSPI Flash .....	12
(六) LED 灯 .....	14
(七) 扩展接口 .....	15
(八) 电源 .....	22
(九) 结构图 .....	25

## (一) 简介

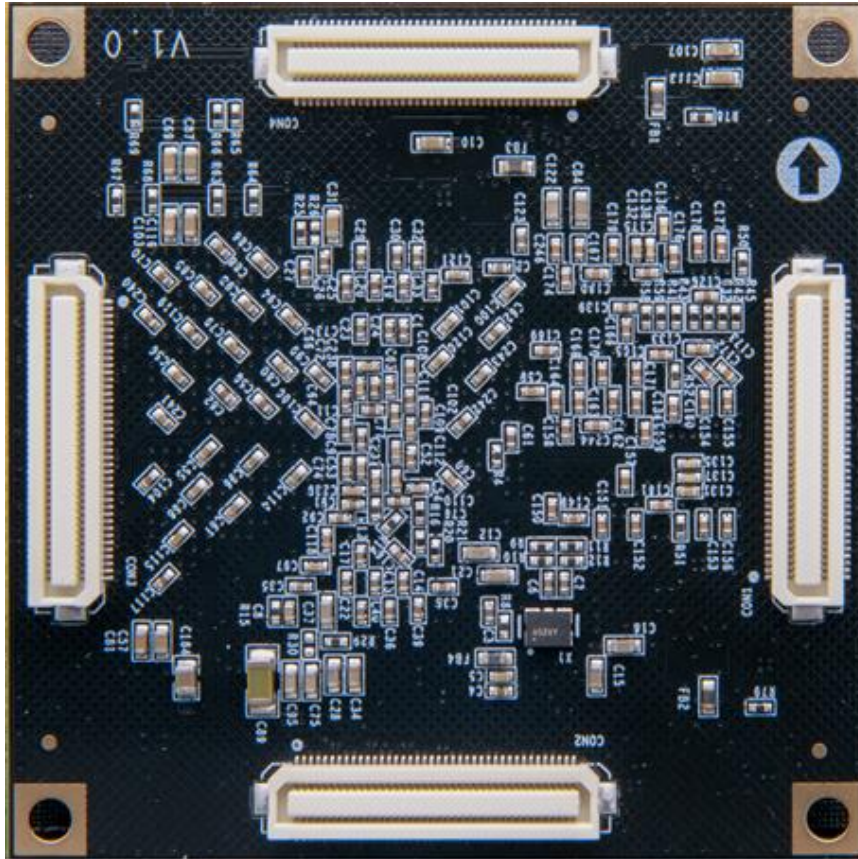
P100(核心板型号, 下同)核心板, 是基于紫光同创公司的 Logos2 系列 100H 的 PG2L100H-6IFBG676 这款芯片开发的高性能核心板, 具有高速, 高带宽, 大容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

这款核心板使用了2片 MICRON 公司的 MT41J256M16HA-125 这款 DDR3 芯片, 每片 DDR 的容量为 4Gbit; 2 片 DDR 芯片组合成 32bit 的数据总线宽度, FPGA 和 DDR3 之间的读写数据带宽高达 25Gb; 这样的配置可以满足高带宽的数据处理需求。

这款核心板扩展出 190 个 3. 默认电平标准为 3.3V 普通 IO 口, 其中有 100 个 IO 电压标准可调, 6 个 1.5V 电平标准的普通 IO 口, 还有 8 对 HSSTLP 高速 RX/TX 差分信号。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长和差分处理, 同时引出了 FPGA 内部 ADC 模块, 并且核心板尺寸仅为 60\*60 (mm), 对于二次开发来说非常适合。



P100 核心板正面图



P100 核心板背面图

## (二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PG2L100H-6IFBG676**，属于紫光同创公司 Logos2 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FBG676 封装，676 个引脚。紫光同创 Logos2 FPGA 的芯片命名规则如下：

Logos2 系列 FPGA 产品型号的编号内容及意义如图 1 所示。

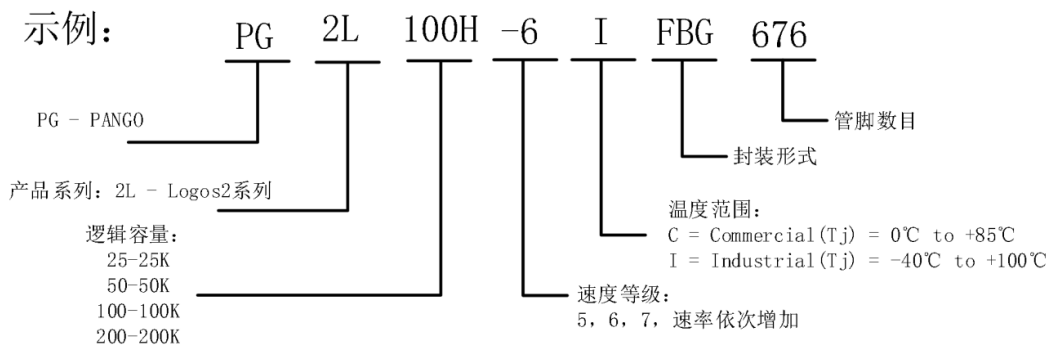


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PG2L100H 的主要参数如下所示：

名称	具体参数
触发器(FF)	133200
查找表 LUT6(LUT6=1.5LUT4)	66600
DRM ( 36Kbits ) 个数	155
APM 单元 ( 乘法器 )	240
PCIe Gen2	1
模数转换/ADC	1 个 12bit, 1Mbps AD
HSSTLP	8 路, 6.6Gb/s max
速度等级	-6
温度等级	工业级

### FPGA 供电系统

Logos2 FPGA 电源有  $V_{CC}$ ,  $V_{CCDRM}$ ,  $V_{CCA}$ ,  $V_{CCIO}$ ,  $V_{HSSTAVCC}$  和  $V_{HSSTAVCCPLL}$ 。 $V_{CC}$  为 FPGA 内核供电引脚，需接 1.0V； $V_{CCDRM}$  为 FPGA DRM 的供电引脚；接 1.0V； $V_{CCA}$  为 FPGA 辅助供电引脚，接 1.8V； $V_{CCIO}$  为 FPGA 的各个 BANK 的电压，包含 L3~L6，R4、R5，在 P100 核心板上，R4 与 R5 因为需要连接 DDR3，BANK 的电压连接的是 1.5V，其它 BANK 的电压默认都是 3.3V，其中 L3 和 L6 的  $V_{CCO}$  是可以通过修改更换电源电阻阻值更改 BANK 的电平。 $V_{HSSTAVCC}$  为 FPGA 内部 HSSTLP 收发器的供电电压，接 1.0V， $V_{HSSTAVCCPLL}$  为 HSSTLP 收发器的端接电压，接 1.2V。

### (三) 有源晶振

P100 核心板上配有 3 个 Sitime 公司的有源差分晶振，一个是 200MHz，型号为 SiT9121-200.00MHz，用于 FPGA 的系统主时钟和用于产生 DDR3 控制时钟；另两个为 125MHz，型号为 SiT9121-125MHz，用于 HSSTLP 收发器的参考时钟输入。

#### 1). 200Mhz 差分时钟

图 3.1 中的 X1 即为我们上述提到的给开发板提供的系统时钟源 200M 有源差分晶振电路。晶振输出连接到 FPGA 的 R5 全局时钟管脚 GMCLK(R3 和 P3)，这个 200Mhz 的差分时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLL 来产生不同频率的时钟。

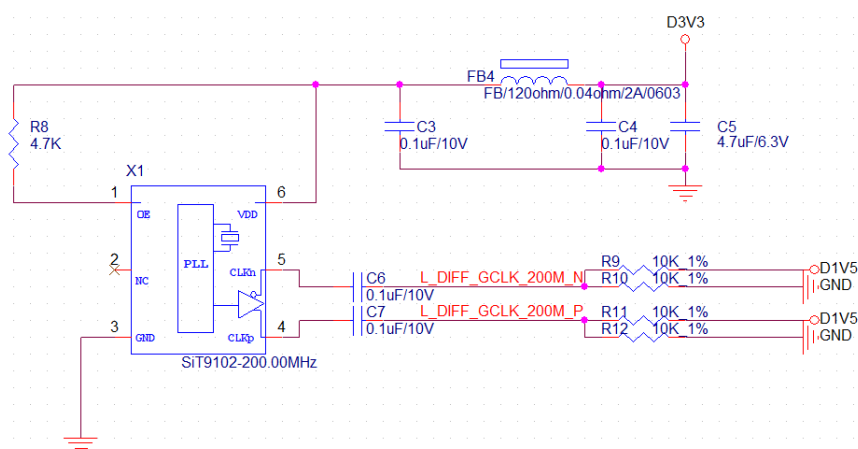


图 2-3-1 200M 有源差分晶振

图 2-3-2 为 200Mhz 差分有源晶振实物图



图 2-3-2 200M 有源差分晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
L_DIFF_GCLK_200M_P	R3
L_DIFF_GCLK_200M_N	P3

#### 2). 125Mhz 差分时钟

图 2-3-3 中的 X2 与 X3 即为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的 HSSTLP 模块提供的参考输入时钟。晶振输出连接到 FPGA HSSTLP 的 BANK Q3 与 Q6 的时钟管脚上。

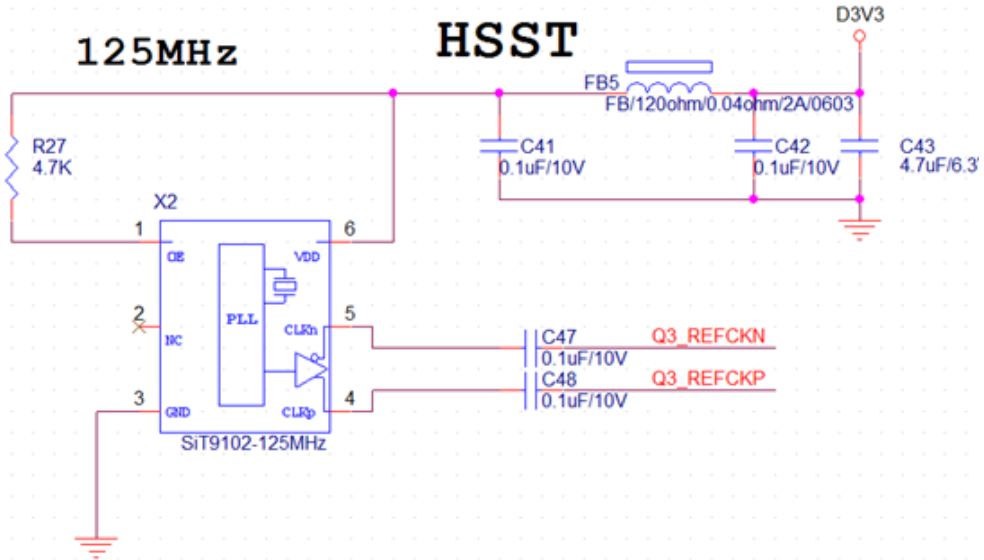
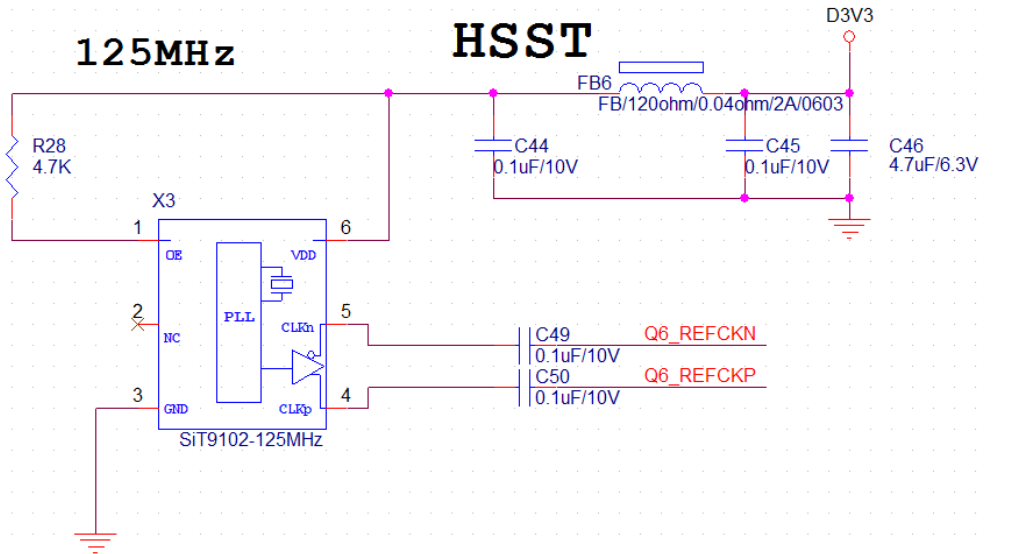


图 2-3-3 125Mhz 有源差分晶振

图 2-3-4 为 125M 差分有源晶振实物图



图 2-3-4 125M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
Q3_REFCKP	F11
Q3_REFCKN	E11
Q6_REFCKP	AA11
Q6_REFCKN	AB11

### 3). 50Mhz 有源晶振

图 2-3-5 中的 Y1 即为 50M 有源晶振电路，此时钟接到给 FPGA 内部的全局时钟管脚上，可为 FPGA 提供的参考输入时钟，采用 Sitime 的 SiT8008-50。

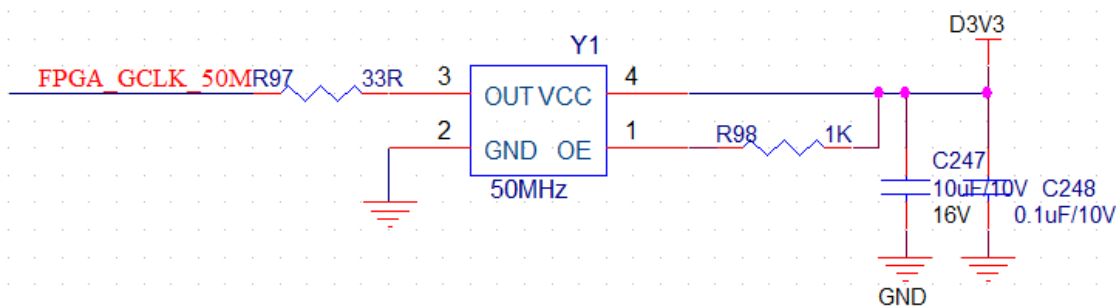


图 2-3-5 50Mhz 有源晶振

图 2-3-6 为 125M 差分有源晶振实物图

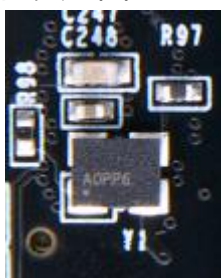


图 2-3-6 50M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
QFPGA_GCLK_50M	K21

## (四) DDR3

P100 核心板上配有两个 Micron(美光) 的 4Gbit ( 512MB ) 的 DDR3 芯片(共计



8Gbit),型号为 MT41J256M16HA-125 (兼容 MT41K256M16HA-125)。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK R4 和 BANKR5 的存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U2,U3	MT41J256M16HA-125	256M x 16bit	micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-1 所示:

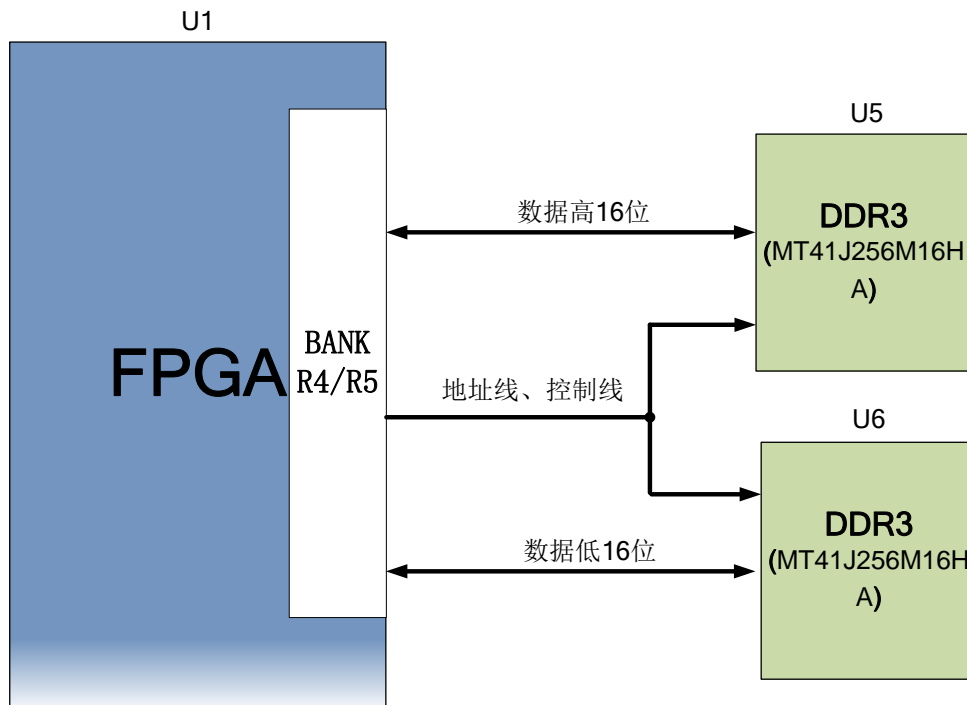


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图

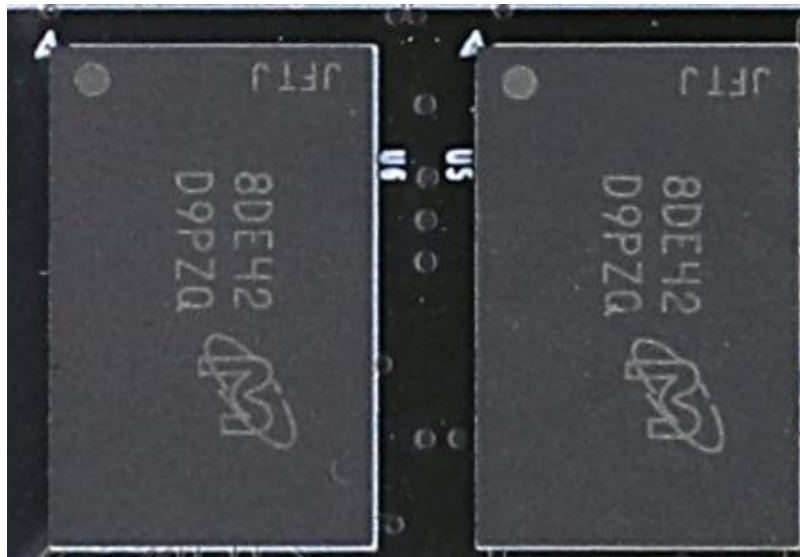


图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配：

信号名称	FPGA 引脚名
DDR3_DQS3_P	C1
DDR3_DQS3_N	B1
DDR3_DQS2_P	B5
DDR3_DQS2_N	A5
DDR3_DQS1_P	H7
DDR3_DQS1_N	G7
DDR3_DQS0_P	J4
DDR3_DQS0_N	H4
DDR3_DM3	E2
DDR3_DM2	F3
DDR3_DM1	D6
DDR3_DM0	K6
DDR3_D31	C2
DDR3_D30	G2
DDR3_D29	A2
DDR3_D28	F2
DDR3_D27	A3
DDR3_D26	G1
DDR3_D25	D1

DDR3_D24	E1
DDR3_D23	D3
DDR3_D22	B4
DDR3_D21	D4
DDR3_D20	A4
DDR3_D19	E5
DDR3_D18	C4
DDR3_D17	E3
DDR3_D16	C3
DDR3_D15	F8
DDR3_D14	H9
DDR3_D13	G6
DDR3_D12	G8
DDR3_D11	F7
DDR3_D10	H8
DDR3_D9	E6
DDR3_D8	H6
DDR3_D7	J5
DDR3_D6	F4
DDR3_D5	J6
DDR3_D4	F5
DDR3_D3	L8
DDR3_D2	G4
DDR3_D1	K7
DDR3_D0	G5
DDR3_A14	U6
DDR3_A13	T3
DDR3_A12	R2
DDR3_A11	U5
DDR3_A10	R1
DDR3_A9	K2

DDR3_A8	T5
DDR3_A7	K1
DDR3_A6	T4
DDR3_A5	L2
DDR3_A4	P6
DDR3_A3	L3
DDR3_A2	U2
DDR3_A1	R5
DDR3_A0	T2
DDR3_BA2	N4
DDR3_BA1	P4
DDR3_BA0	M1
DDR3_WE	P1
DDR3_S0	M2
DDR3_RESET	J1
DDR3_RAS	N2
DDR3_ODT	N1
DDR3_CLK0_P	R7
DDR3_CLK0_N	R6
DDR3_CKE0	U1
DDR3_CAS	N3

## (五) QSPI Flash

核心板上使用了2片128Mbit大小的QSPI FLASH芯片 型号为GD25Q127CYIG , 它使用 3.3V CMOS 电压标准。由于它的非易失特性, 在使用中, QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、 软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U5、U6	GD25Q127CYIG	128M Bit	兆易

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK 的 L4 和 L5 的专用管脚上，其中时钟管脚连接到专用的配置 BANK 的 CFG\_CLK 上。图 2-5-1 为 QSPI Flash 在硬件连接示意图。

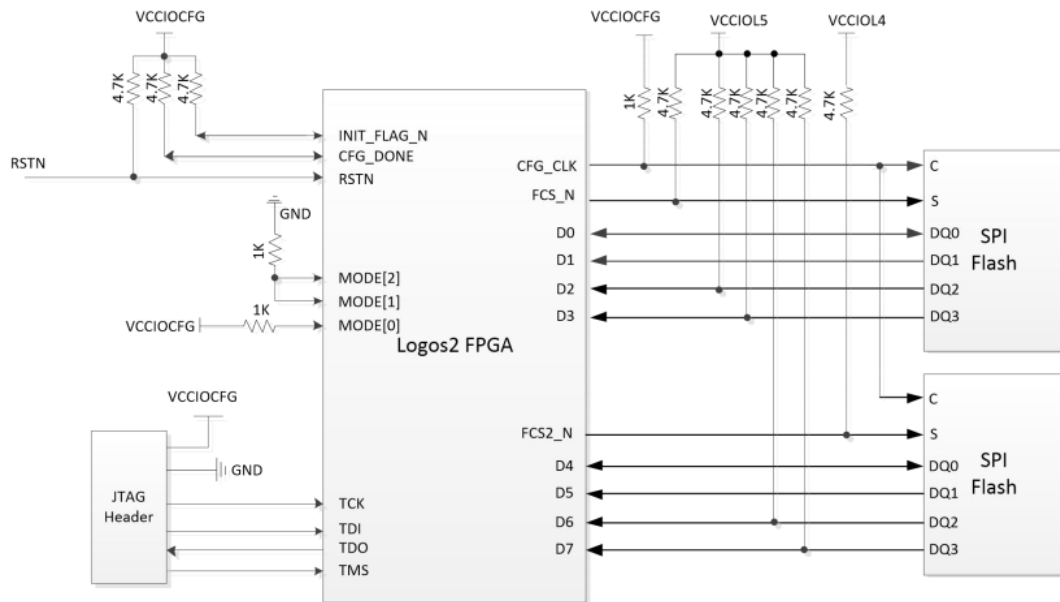


图2-5-1 QSPI Flash连接示意图

配置芯片引脚分配：

信号名称	FPGA 引脚号
QSPI1_DQ3	R17
QSPI1_DQ2	R16
QSPI1_DQ1	N17
QSPI1_DQ0	N16
QSPI1_CS	F25
QSPI0_DQ3	N14
QSPI0_DQ2	P14
QSPI0_DQ1	R15
QSPI0_DQ0	R14
QSPI0_CS	P18
QSPI_CLK	H13

图 2-5-2 为开发板上 QSPI Flash 的实物图



图 2-5-2 QSPI FLASH 部分实物图

## (六) LED 灯

P100 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)，另外一个为用户 LED 灯 (LED1)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯用户连接到 BANK R5 的 IO 上，可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯点亮，当连接 IO 电压为低时，用户 LED 会被熄灭。LED 灯硬件连接的示意图如图 2-6-1 所示：

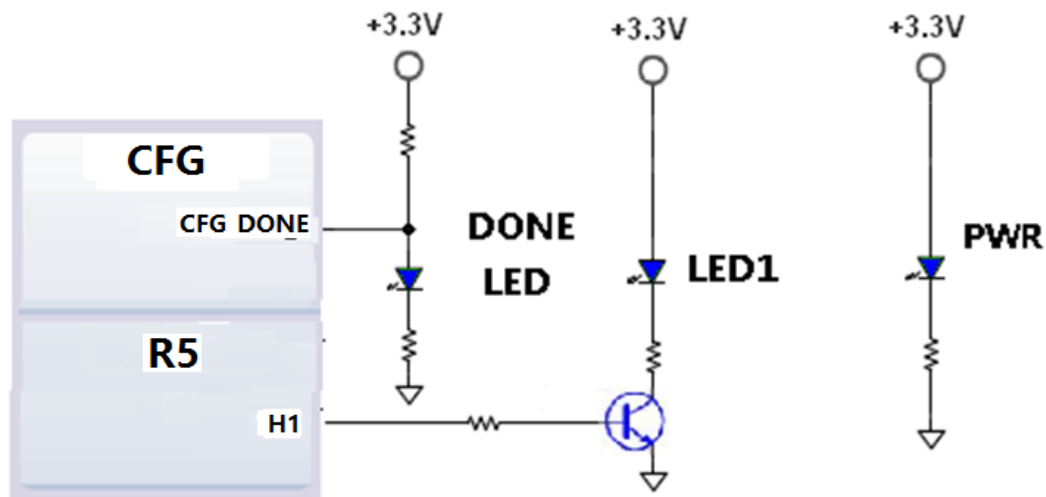


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

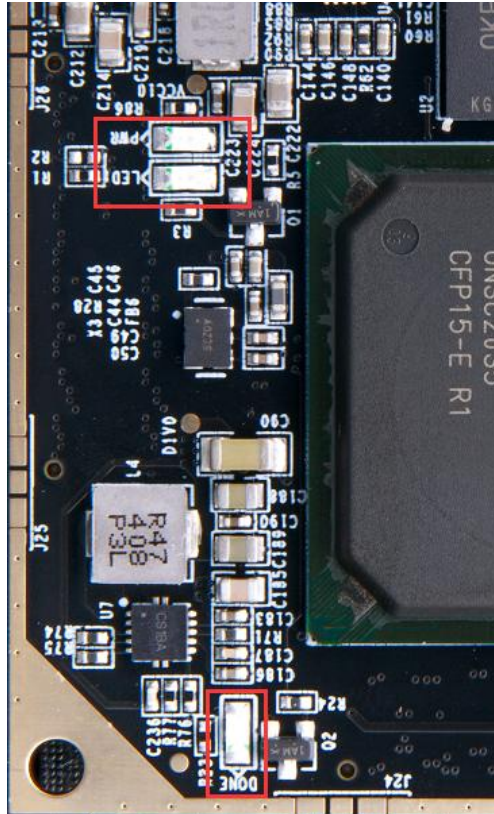


图 2-6-2 核心板的 LED 灯实物图

### 用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	H1	用户LED灯

## (七) 扩展接口

核心板的背面一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器和底板连接，连接器使用松下的 AXK580137YG，对应底板的连接器型号为 AXK680337YG。FPGA 的 IO 口通过差分走线方式连接到这 4 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

**注意：BANK L3、L4、L5、L6 的 IO 口默认连接电平为 3.3V。其中 L3、L6 两个 BANK 的 IO 电压可通过调整电源的电阻阻值进行改变。**

### 扩展口 CON1

80Pin 的连接器 CON1 用来连接底板的 VCCIN 电源(+5V),地和 FPGA 的普通 IO，这里需要注意，CON1 的有 6 个管脚是连接到 R5 BANK 上的 IO 口，由于 R5 连接是

连接到 DDR3 的，所以这个 BANK 的所有 IO 的电压标准都是 1.5V 的。同时引出了 L6 的部分 IO 和 HSSTLP 管脚，L6 的 IO 口的电压标准可以通过修改电源电阻的阻值调整，默认安装的是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改电源进行。

CON1 扩展口的管脚分配如表 2-7-1 所示：

**2-7-1 表：扩展口 CON1 引脚分配**

CON1 管脚	信号名称	FPGA 管脚号	电平标准	CON1 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	VCCIN	-	+5V	PIN2	VCCIN	-	+5V
PIN3	VCCIN	-	+5V	PIN4	VCCIN	-	+5V
PIN5	VCCIN	-	+5V	PIN6	VCCIN	-	+5V
PIN7	VCCIN	-	+5V	PIN8	VCCIN	-	+5V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC	-	空脚	PIN12	L6_L19_P	V18	3.3V
PIN13	L6_L15_N	U20	3.3V	PIN14	L6_L19_N	W18	3.3V
PIN15	L6_L17_P	T19	3.3V	PIN16	L6_L18_P	V19	3.3V
PIN17	L6_L17_N	U19	3.3V	PIN18	L6_L18_N	W19	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L6_L23_P	U14	3.3V	PIN22	L6_L22_P	U15	3.3V
PIN23	L6_L23_N	V14	3.3V	PIN24	L6_L22_N	U16	3.3V
PIN25	L6_L20_P	T14	3.3V	PIN26	L6_L12_P	U22	3.3V
PIN27	L6_L20_N	T15	3.3V	PIN28	L6_L12_N	V22	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L6_L24_P	V16	3.3V	PIN32	L6_L16_P	W24	3.3V
PIN33	L6_L24_N	V17	3.3V	PIN34	L6_L16_N	V24	3.3V
PIN35	L6_L21_P	T17	1.5V	PIN36	L6_L13_P	U21	1.5V
PIN37	L6_L21_N	T18	1.5V	PIN38	L6_L13_N	V21	1.5V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	QR6_MGT_RX2_N	AF13	差分	PIN42	NC	-	空脚
PIN43	QR6_MGT_RX2_P	AE13	差分	PIN44	GND	-	地
PIN45	GND	-	地	PIN46	QR6_MGT_RX0_N	AF11	差分
PIN47	R5_L25	P5	1.5V	PIN48	QR6_MGT_RX0_P	AE11	差分
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	XADC_VN	P11	模拟	PIN52	NC	-	空脚
PIN53	XADC_VP	N12	模拟	PIN54	GND	-	地
PIN55	R5_L21_N	L7	1.5V	PIN56	QR6_MGT_TX2_N	AF9	差分



PIN57	R5_L21_P	M7	1.5V	PIN58	QR6_MGT_TX2_P	AE9	差分
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L3_L8_N	D16	3.3V	PIN62	NC	-	空脚
PIN63	L3_L8_P	E16	3.3V	PIN64	GND	-	地
PIN65	L3_L4_N	F15	3.3V	PIN66	QR6_MGT_TX0_N	AF7	差分
PIN67	L3_L4_P	G15	3.3V	PIN68	QR6_MGT_TX0_P	AE7	差分
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L3_L6_N	G16	3.3V	PIN72	QR6_MGT_TX1_N	AD8	差分
PIN73	L3_L6_P	H16	3.3V	PIN74	QR6_MGT_TX1_P	AC8	差分
PIN75	L3_L1_P	H14	3.3V	PIN76	GND	-	地
PIN77	L3_L1_N	H15	3.3V	PIN78	QR6_MGT_TX3_N	AD10	差分
PIN79	NC	-	空脚	PIN80	QR6_MGT_TX3_P	AC10	差分

图 2-7-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标出。



图 2-7-1 CON1 扩展口连接器的实物图

### 扩展口 CON2

80Pin 的连接器 CON2 用来扩展 FPGA 的 L3 和 L6 的普通 IO，L3、L6 的电压标准都是可以通过修改电源电阻的阻值调整，默认是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改阻值的方式来实现。CON2 扩展口的管脚分配如表 2-7-2 所示：

2-7-2 表：扩展口 CON2 引脚分配

CON2 管脚	信号名称	FPGA 管脚号	电平标准	CON2 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	L6_L1_P	U25	3.3V	PIN2	L5_L20_P	R20	3.3V
PIN3	L6_L1_N	U26	3.3V	PIN4	L5_L20_N	M26	3.3V
PIN5	L6_L2_P	V26	3.3V	PIN6	L6_L4_P	W25	3.3V
PIN7	L6_L2_N	W26	3.3V	PIN8	L6_L4_N	Y26	3.3V
PIN9	GND	-	地	PIN10	GND	-	地

PIN11	L6_L3_P	AB26	3.3V	PIN12	L5_L22_P	R26	3.3V
PIN13	L6_L3_N	AC26	3.3V	PIN14	L5_L22_N	P26	3.3V
PIN15	L6_L5_P	Y25	3.3V	PIN16	L5_L7_N	K26	3.3V
PIN17	L6_L5_N	AA25	3.3V	PIN18	L5_L7_P	K25	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L6_L9_P	AB24	3.3V	PIN22	L5_L9_N	L25	3.3V
PIN23	L6_L9_N	AC24	3.3V	PIN24	L5_L9_P	L24	3.3V
PIN25	L6_L8_P	AA22	3.3V	PIN26	L5_L15_P	N23	3.3V
PIN27	L6_L8_N	AA23	3.3V	PIN28	L5_L15_N	N24	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L6_L10_N	W23	3.3V	PIN32	L5_L6_N	N18	3.3V
PIN33	L6_L10_P	V23	3.3V	PIN34	L6_IO0	U24	3.3V
PIN35	L6_L14_N	W21	3.3V	PIN36	L5_L11_N	L23	3.3V
PIN37	L6_L14_P	Y21	3.3V	PIN38	L5_L11_P	L22	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L5_L12_N	M22	3.3V	PIN42	L5_L8_P	M20	3.3V
PIN43	L5_L12_P	M21	3.3V	PIN44	L5_L8_N	L20	3.3V
PIN45	L5_L14_N	P21	3.3V	PIN46	L5_L16_P	P19	3.3V
PIN47	L5_L14_P	P20	3.3V	PIN48	L5_L16_N	N19	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L5_L19_N	P25	3.3V	PIN52	L5_L10_N	M25	3.3V
PIN53	L5_L19_P	R25	3.3V	PIN54	L5_L10_P	M24	3.3V
PIN55	L5_L17_N	P24	3.3V	PIN56	L5_L13_N	N22	3.3V
PIN57	L5_L17_P	P23	3.3V	PIN58	L5_L13_P	P15	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L6_L6_P	V24	3.3V	PIN62	L5_L3_N	P16	3.3V
PIN63	L6_L6_N	W24	3.3V	PIN64	L5_L3_P	P15	3.3V
PIN65	L5_L21_N	T25	3.3V	PIN66	L6_L7_N	AB25	3.3V
PIN67	L5_L21_P	T24	3.3V	PIN68	L6_L7_P	AA24	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L5_L24_P	T23	3.3V	PIN72	L6_L11_N	Y23	3.3V
PIN73	L5_L24_N	R23	3.3V	PIN74	L6_L11_P	Y22	3.3V
PIN75	L5_L23_N	R22	3.3V	PIN76	L5_L18_P	R28	3.3V
PIN77	L5_L23_P	T22	3.3V	PIN78	L5_L18_N	R21	3.3V
PIN79	L5_IO0	M19	3.3V	PIN80	L5_IO25	R18	3.3V

图 2-7-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

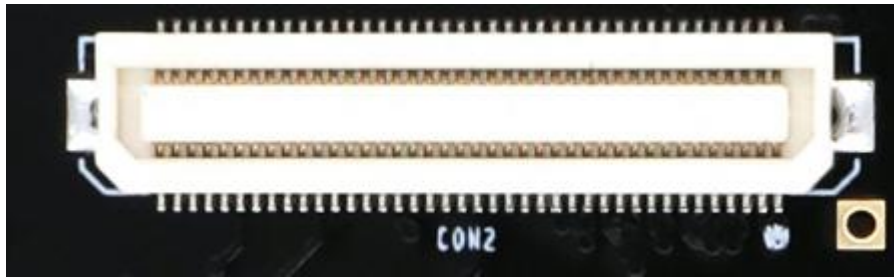


图 2-7-2 CON2 扩展口连接器的实物图

### 扩展口 CON3

80Pin 的连接器 CON3 用来扩展 FPGA 的 L3 和 L4 的普通 IO，另外还有 4 个 JTAG 的信号也通过 CON3 连接器连接到底板上。L3 的电压标准都是可以通过修改电源电阻的阻值调整，默认是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改阻值的方式来实现。L4 的电平标准为固定的 3.3V，CON3 扩展口的管脚分配如表 2-7-3 所示：

2-7-3 表：扩展口 CON3 引脚分配

CON3 管脚	信号名称	FPGA 管脚号	电平标准	CON3 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	L4_IO0	K18	3.3V	PIN2	L4_L23_P	G25	3.3V
PIN3	L3_IO25	E22	3.3V	PIN4	L6_L15_P	T20	3.3V
PIN5	L4_L2_P	J14	3.3V	PIN6	L3_L9_N	A18	3.3V
PIN7	L4_L2_N	J15	3.3V	PIN8	L3_L9_P	A17	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	L4_L10_P	J18	3.3V	PIN12	L3_L23_P	C24	3.3V
PIN13	L4_L10_N	H18	3.3V	PIN14	L3_L23_N	B24	3.3V
PIN15	L4_L7_N	H19	3.3V	PIN16	L3_L22_P	C26	3.3V
PIN17	L4_L7_P	J19	3.3V	PIN18	L3_L22_N	B26	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L4_L1_P	K15	3.3V	PIN22	L3_L24_P	D23	3.3V
PIN23	L4_L1_N	J16	3.3V	PIN24	L3_L24_N	D24	3.3V
PIN25	L4_L12_N	J21	3.3V	PIN26	L4_L20_N	D25	3.3V
PIN27	L4_L11_N	G21	3.3V	PIN28	L4_L20_P	E25	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L4_L18_P	K22	3.3V	PIN32	L4_L21_N	D26	3.3V
PIN33	L4_L18_N	K23	3.3V	PIN34	L4_L21_P	E26	3.3V
PIN35	L4_L8_N	L18	3.3V	PIN36	L4_L3_P	K16	3.3V

PIN37	L4_L8_P	L17	3.3V	PIN38	L4_L3_N	K17	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L4_L5_P	M15	3.3V	PIN42	L4_L6_N	M17	3.3V
PIN43	L4_L5_N	L15	3.3V	PIN44	L4_L6_P	M16	3.3V
PIN45	L4_L16_P	J24	3.3V	PIN46	L4_L17_N	E23	3.3V
PIN47	L4_L16_N	H24	3.3V	PIN48	L4_L17_P	F23	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L4_L11_P	G20	3.3V	PIN52	L4_L15_N	F22	3.3V
PIN53	L3_IO0	H17	3.3V	PIN54	L4_L15_P	G22	3.3V
PIN55	L4_L4_P	M14	3.3V	PIN56	L4_L14_P	J23	3.3V
PIN57	L4_L4_N	L14	3.3V	PIN58	L4_L14_N	H23	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L4_IO25	L19	3.3V	PIN62	L4_L19_P	G24	3.3V
PIN63	L6_IO25	U17	3.3V	PIN64	L4_L19_N	F24	3.3V
PIN65	L4_L9_P	K20	3.3V	PIN66	L4_L13_N	K17	3.3V
PIN67	L4_L9_N	J20	3.3V	PIN68	L4_L13_P	K16	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L4_L24_P	J25	3.3V	PIN72	L4_L22_P	H26	3.3V
PIN73	L4_L24_N	J26	3.3V	PIN74	L4_L22_N	G26	3.3V
PIN75	NC	-		PIN76	NC	-	
PIN77	FPGA_TCK	V12	3.3V	PIN78	FPGA_TDI	R13	3.3V
PIN79	FPGA_TDO	U13	3.3V	PIN80	FPGA_TMS	T13	3.3V

图 2-7-3 为 CON3 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

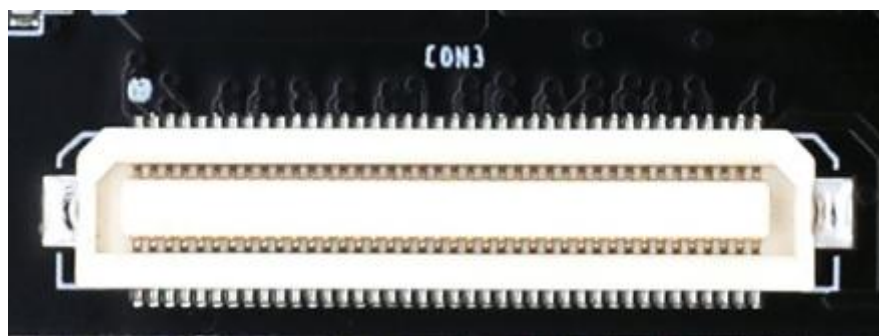


图 2-7-3 CON3 扩展口连接器的实物图

#### 扩展口 CON4

80Pin 的连接器 CON4 用来扩展 FPGA 的 BANK L3 及 R5 的普通 IO 和 HSSTLP 的

高速数据和时钟信号。L3 的 IO 口的电压标准可以通过修改电源电阻的阻值调整，默认安装的是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改电源进行。HSSTLP 的高速数据和时钟信号在核心板上严格差分走线，数据线等长及保持一定的间隔，防止信号干扰。CON4 扩展口的管脚分配如表 2-7-4 所示：

2-7-4 表：扩展口 CON4 引脚分配

CON4 管脚	信号 名称	FPGA 管脚号	电平 标准	CON4 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	R5_L24_P	L5	1.5V	PIN2	R5_L24_N	K5	1.5V
PIN3	GND	-	地	PIN4	GND	-	地
PIN5	QR6_MGT_RX3_N	AD12	差分	PIN6	QR6_MGT_RX1_N	AD14	差分
PIN7	QR6_MGT_RX3_P	AC12	差分	PIN8	QR6_MGT_RX1_P	AC14	差分
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	QR6_MGT_CLK1_N	AB13	差分	PIN12	MGT_TX1_P	B9	差分
PIN13	QR6_MGT_CLK1_P	AA13	差分	PIN14	MGT_TX1_N	A9	差分
PIN15	GND	-	地	PIN16	GND	-	地
PIN17	MGT_TX0_P	D10	差分	PIN18	MGT_RX1_P	B13	差分
PIN19	MGT_TX0_N	C10	差分	PIN20	MGT_RX1_N	A13	差分
PIN21	GND	-	地	PIN22	GND	-	地
PIN23	MGT_RX0_P	D12	差分	PIN24	MGT_TX3_P	B7	差分
PIN25	MGT_RX0_N	C12	差分	PIN26	MGT_TX3_N	A7	差分
PIN27	GND	-	地	PIN28	GND	-	地
PIN29	MGT_TX2_P	D8	差分	PIN30	MGT_RX3_P	B11	差分
PIN31	MGT_TX2_N	C8	差分	PIN32	MGT_RX3_N	A11	差分
PIN33	GND	-	地	PIN34	GND	-	地
PIN35	MGT_RX2_P	D14	差分	PIN36	MGT_CLK1_P	F13	差分
PIN37	MGT_RX2_N	C14	差分	PIN38	MGT_CLK1_N	E13	差分
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L3_L7_P	C17	3.3V	PIN42	L3_L2_P	G17	3.3V
PIN43	L3_L7_N	B17	3.3V	PIN44	L3_L2_N	F17	3.3V
PIN45	L3_L12_P	D18	3.3V	PIN46	L3_L11_P	E17	3.3V
PIN47	L3_L12_N	C18	3.3V	PIN48	L3_L11_N	E18	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L3_L10_P	B19	3.3V	PIN52	L3_L3_P	F18	3.3V
PIN53	L3_L10_N	A19	3.3V	PIN54	L3_L3_N	F19	3.3V

PIN55	L3_L15_P	B20	3.3V	PIN56	L3_L13_P	D19	3.3V
PIN57	L3_L15_N	A20	3.3V	PIN58	L3_L13_N	C19	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L3_L16_P	C21	3.3V	PIN62	L3_L14_P	E20	3.3V
PIN63	L3_L16_N	B21	3.3V	PIN64	L3_L14_N	D20	3.3V
PIN65	L3_L17_P	B22	3.3V	PIN66	L3_L18_P	E21	3.3V
PIN67	L3_L17_N	A22	3.3V	PIN68	L3_L18_N	D21	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L3_L19_P	C22	3.3V	PIN72	L3_L5_P	G19	3.3V
PIN73	L3_L19_N	C23	3.3V	PIN74	L3_L5_N	F20	3.3V
PIN75	L3_L21_P	A23	3.3V	PIN76	L3_L20_P	B25	3.3V
PIN77	L3_L21_N	A24	3.3V	PIN78	L3_L20_N	A25	3.3V
PIN79	NC	-		PIN80	NC	-	

图 2-7-4 为 CON4 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。



图 2-10-4 CON4 扩展口连接器的实物图

## (八) 电源

P100 核心板供电电压为 VCCIN，输入电压为 5V，需通过连接器 CON1 供电，连接底板时通过底板供电。板上的电源设计示意图如下图 2-8-1 所示：

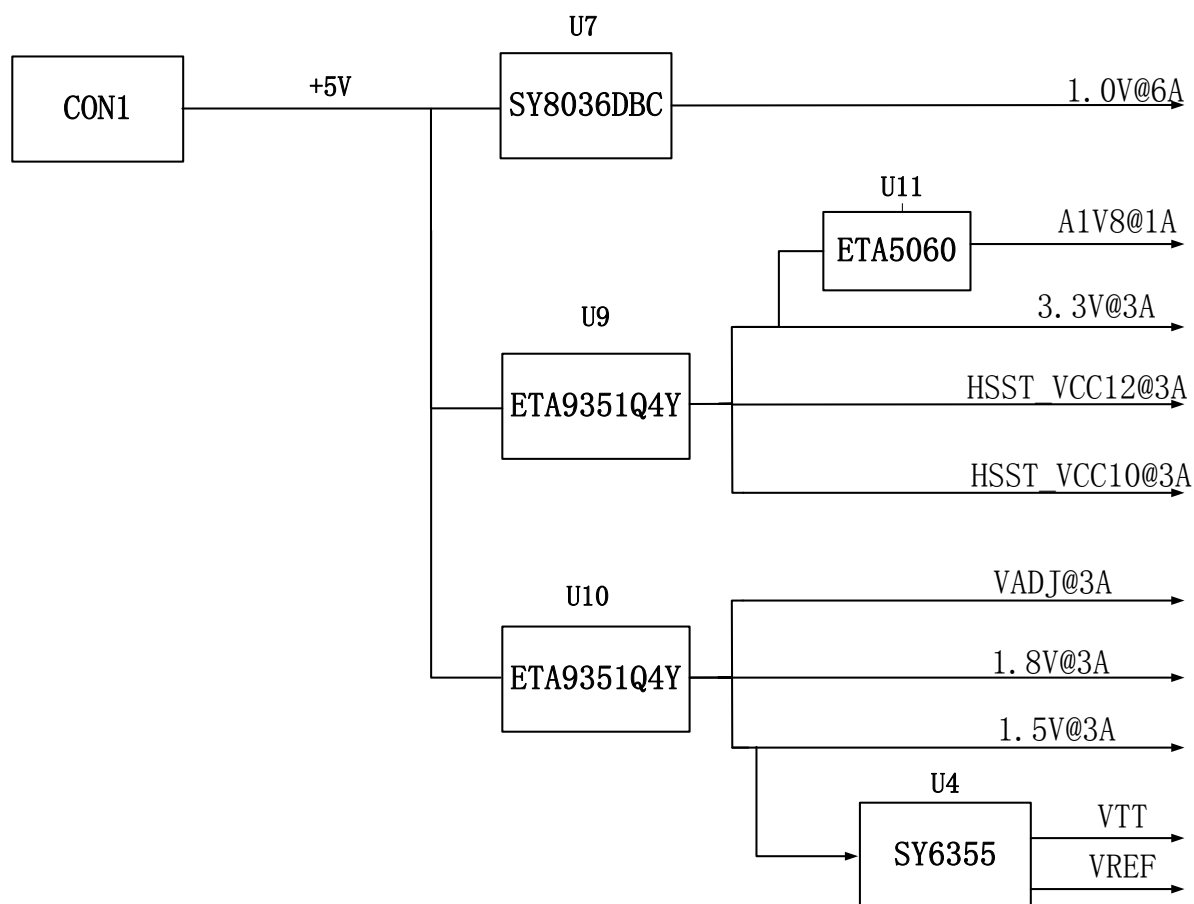


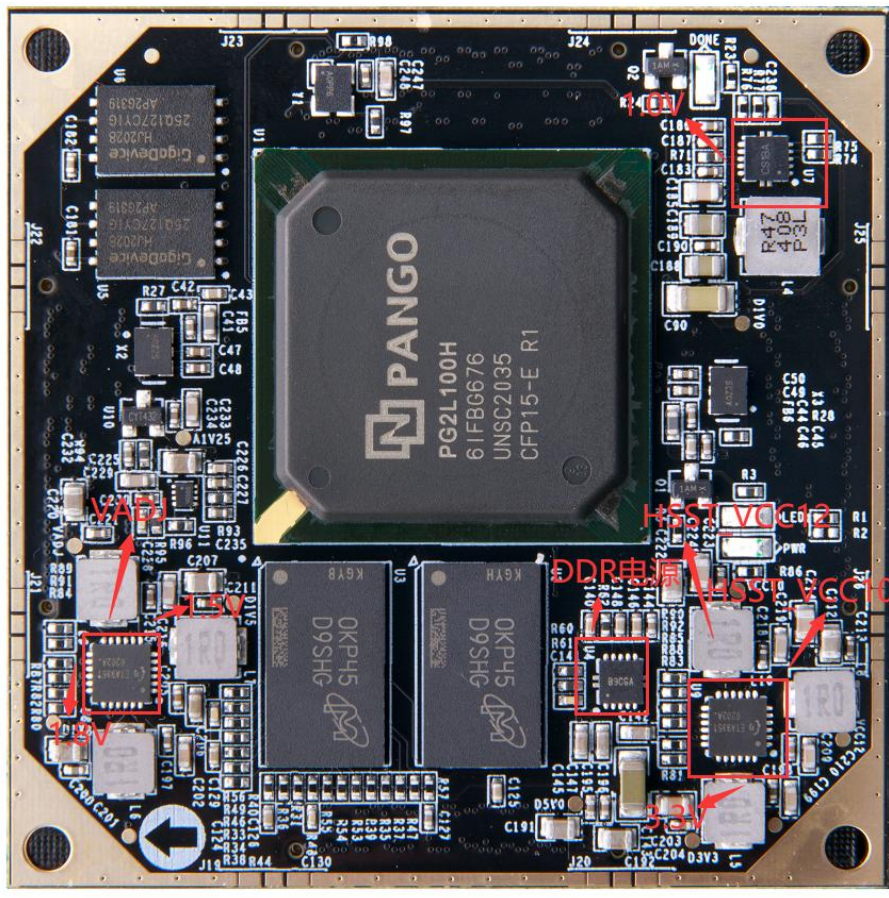
图 2-8-1 原理图中电源接口部分

核心板通过+5V 供电, 通过 3 路 DC/DC 电源芯片 ETA9351Q4Y 和 SY8036DBC 转化成+3.3V, +1.5V, +1.8V, +1.0V, VADJ、HSST\_VCC12、HSST\_VCC10 7 路电源, 其中+1.0V 的电流可高达 6A 其它 6 路输出电流可高达 3A。其中 VADJ 产生 VCCIO 电源, VCCIO 主要是对 FPGA 的 L3 和 L6 进行供电, 用户可以通过修改电源电阻的阻值调整电压, 使得 L3 与 L6 的 IO 适应不同的电压标准。HSST\_VCC12 和 HSST\_VCC10 是 HSSTLP 收发器的电源。1.5V 通过 TI 的 SY6355 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA 的 L4 和 L5 的 VCCIO, QSIP FLASH, Clock 晶振
+1.8V	FPGA 辅助电压,
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA R4 和 R5
VREF, VTT (+0.75V)	DDR3
VCCIO(+3.3V)	FPGA L3, L6

HSST_VCC12(+1.2V)	FPGA HSSTLP 收发器 Q3、Q6
HSST_VCC10(+1.0V)	FPGA HSSTLP 收发器 Q3、Q6

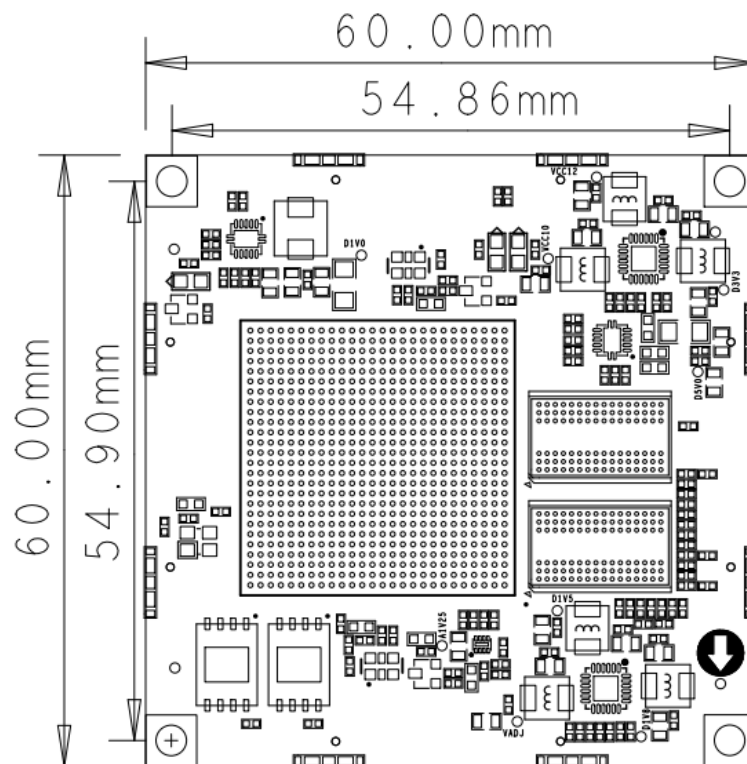
P100 核心板的电源电路在板上的分别实物图所下图 2-8-2 所示。



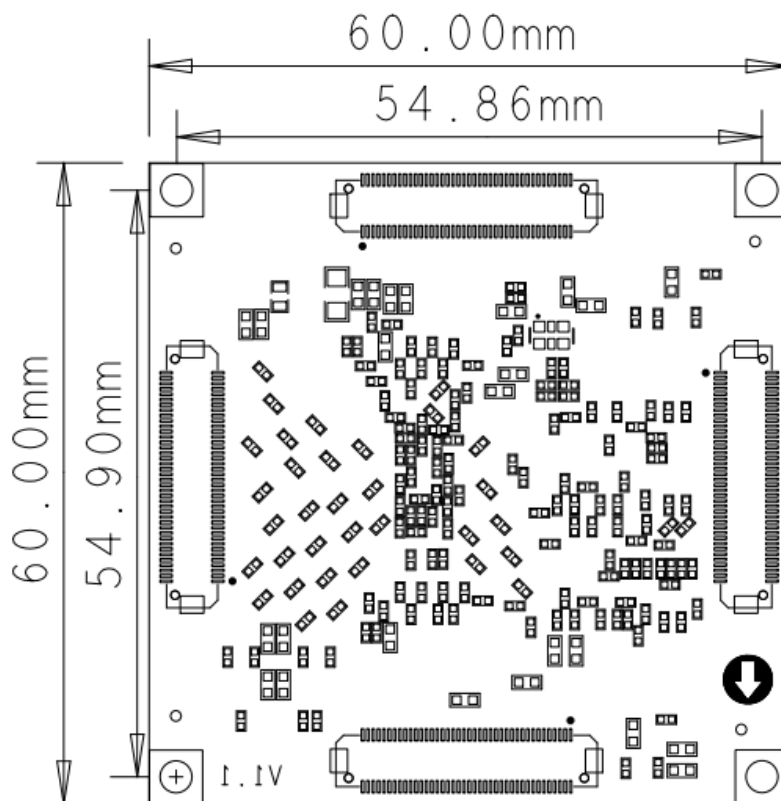
2-8-2 核心板电源部分实物图



## (九) 结构图



正面图 ( Top View )



背面图 ( Bottom View )