

## ADN4650/ADN4651/ADN4652

### 产品特性

5 kV rms LVDS隔离器

符合TIA/EIA-644-A LVDS标准

多种双通道配置

最高600 Mbps开关速率，具有低抖动

传播延迟：4.5 ns(最大值)

峰峰值总抖动：151 ps(最大值，600 Mbps)

最大脉冲偏斜：100 ps

最大器件间偏斜：600 ps

2.5 V或3.3 V电源

-75 dBc电源纹波抑制和毛刺抑制

±8 kV IEC 61000-4-2 ESD隔离栅保护

高共模瞬变抗扰度：>25 kV/μs

具有600 Mbps PRBS或300 MHz时钟频率，符合EN55022 B类  
辐射标准

安全和法规认证

UL(申请中)1分钟5000 V rms，符合UL 1577

CSA元件验收通知5A(申请中)

符合VDE标准证书(申请中)

DIN V VDE V 0884-10 (VDE V 0884-10):2006-12

$V_{IORM} = 424$  V峰值

对于开路、短路和端接输入具有故障安全功能，确保输出高  
电平(ADN4651/ADN4652)

工作温度范围：-40°C至+125°C

20引脚SOIC封装，爬电距离/电气间隙为7.8 mm

### 应用

模拟前端(AFE)隔离

数据平面隔离

隔离高速时钟和数据链路

针对LVDS提供隔离式串行外设接口(SPI)

### 概述

ADN4650/ADN4651/ADN4652<sup>1</sup>是信号隔离式低压差分信号(LVDS)缓冲器，数据速率高达600 Mbps，并且具有极低的抖动。

该器件集成ADI公司的iCoupler®技术，增强了高速工作性能，可提供符合TIA/EIA-644-A标准的LVDS驱动器和接收器电流隔离。该技术可实现LVDS信号链的直接隔离。

该器件提供多种通道配置，ADN4651/ADN4652上的LVDS

<sup>1</sup> 受美国专利第5,952,849、6,873,065、6,903,578、以及7,075,329号保护。其他专利正在申请中。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

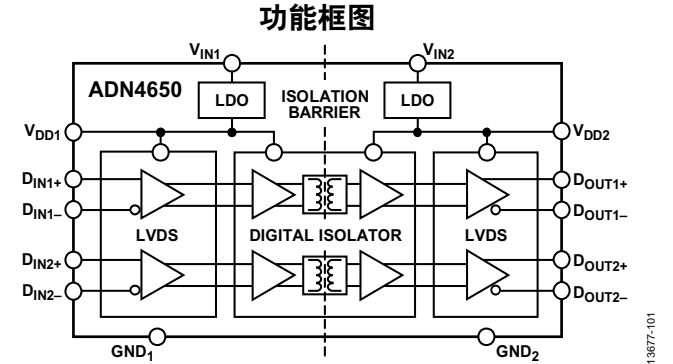


图1.

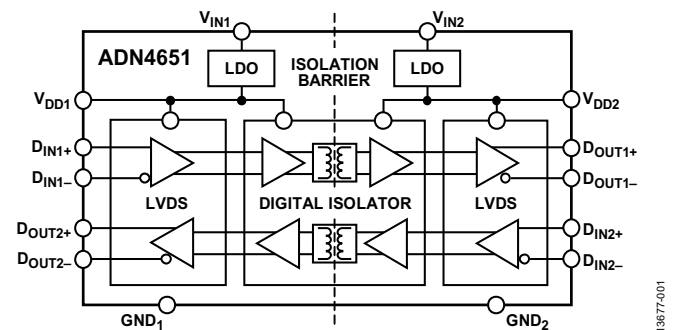


图2.

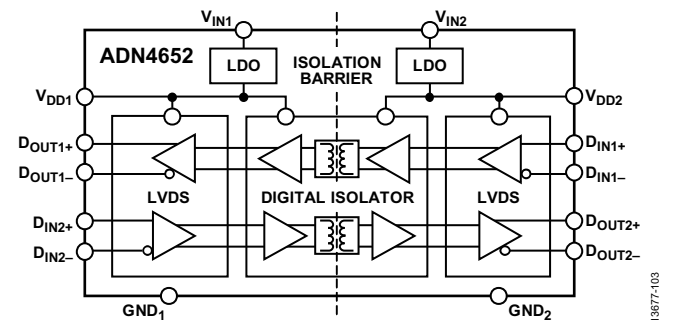


图3.

接收器内置故障安全机制，确保当输入浮动、短路或端接但没有驱动时，对应LVDS驱动器输出为逻辑1。

LVDS和隔离电路采用2.5 V电源，提供高速工作和低抖动。集成片上低压差稳压器(LDO)采用外部3.3 V电源可以提供需要的2.5 V电源。这些器件的额定温度范围为宽工业温度范围，采用20引脚宽体SOIC封装，具有5 kV rms隔离。

## 目录

产品特性 .....	1
应用 .....	1
概述 .....	1
功能框图 .....	1
修订历史 .....	2
技术规格 .....	3
接收器输入阈值测试电压 .....	4
时序规格 .....	4
隔离和安全相关特性 .....	5
封装特性 .....	5
法规信息 .....	6
DIN V VDE V 0884-10 (VDE V 0884-10) 绝缘特性(申请中) .....	6
建议工作条件 .....	7
绝对最大额定值 .....	8

热阻 .....	8
ESD警告 .....	8
引脚配置和功能描述 .....	9
典型性能参数 .....	12
测试电路和开关特性 .....	17
工作原理 .....	18
真值表和故障安全接收器 .....	18
隔离 .....	19
PCB布局布线 .....	19
磁场抗扰度 .....	19
隔离寿命 .....	20
应用信息 .....	22
外形尺寸 .....	24
订购指南 .....	24

## 修订历史

### 2016年4月—修订版A至修订版B

增加ADN4652 .....	通篇
更改“产品特性”和“概述”部分 .....	1
增加图3；重新排序 .....	1
更改表1中的电源电流参数 .....	3
更改表3中的偏斜参数和故障安全延迟参数 .....	4
更改表12 .....	9
移动图7 .....	10
增加表13 .....	10
增加图8和表14，重新排序 .....	11
更改PCB布局部分 .....	19
更改“订购指南”部分 .....	24

更改表1中的电源电流参数 .....	3
更改表3中的偏斜参数和故障安全延迟参数 .....	4
增加图5 .....	9
更改表12 .....	9
更改图30的标题和图31的标题 .....	14
更改图34 .....	15
更改“真值表和故障安全接收器”部分 .....	16
增加表13；重新排序 .....	16
更改“应用信息”部分 .....	20
增加图41 .....	20
更改“订购指南”部分 .....	22

### 2015年11月—修订版0：初始版

### 2016年2月—修订版0至修订版A

增加ADN4650 .....	通篇
更改“产品特性”和“概述”部分 .....	1
增加图1；重新排序 .....	1

## 技术规格

除非另有说明，所有最小值/最大值规格适用于  $V_{DD1} = V_{DD2} = 2.375\text{ V}$  至  $2.625\text{ V}$ ， $T_A = T_{MIN}$  至  $T_{MAX}$ 。所有典型值规格适用于  $V_{DD1} = V_{DD2} = 2.5\text{ V}$ ， $T_A = 25^\circ\text{C}$ 。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
输入(接收器)						
输入阈值						参见图36和表2
高电平	$V_{TH}$		100		mV	
低电平	$V_{TL}$	-100			mV	
差分输入电压	$ V_{ID} $	100			mV	参见图36和表2
输入共模电压	$V_{IC}$	$0.5 V_{ID} $		$2.4 - 0.5 V_{ID} $	V	参见图36和表2
输入电流	$I_{IH}, I_{IL}$	-5		+5	$\mu\text{A}$	$D_{INx\pm} = V_{DD}$ 或 $0\text{ V}$ ，其它输入 = $1.2\text{ V}$ ， $V_{DD} = 2.5\text{ V}$ 或 $0\text{ V}$
差分输入电容 <sup>1</sup>	$C_{INx\pm}$		2		pF	$D_{INx\pm} = 0.4 \sin(30 \times 10^6 \pi t)\text{ V} + 0.5\text{ V}$ ，其它输入 = $1.2\text{ V}$
输出(驱动器)						
差分输出电压	$ V_{OD} $	250	310	450	mV	参见图34和图35， $R_L = 100\ \Omega$
$V_{OD}$ 幅度变化	$ \Delta V_{OD} $			50	mV	参见图34和图35， $R_L = 100\ \Omega$
失调电压	$V_{OS}$	1.125	1.17	1.375	V	参见图34， $R_L = 100\ \Omega$
$V_{OS}$ 幅度变化	$\Delta V_{OS}$			50	mV	参见图34， $R_L = 100\ \Omega$
$V_{OS}$ 峰峰值 <sup>1</sup>	$V_{OS(PP)}$			150	mV	参见图34， $R_L = 100\ \Omega$
输出短路电流	$I_{OS}$			-20	mA	$D_{OUTx\pm} = 0\text{ V}$
				12	mA	$ V_{OD}  = 0\text{ V}$
差分输出电容 <sup>1</sup>	$C_{OUTx\pm}$		5		pF	$D_{OUTx\pm} = 0.4 \sin(30 \times 10^6 \pi t)\text{ V} + 0.5\text{ V}$ ，其它输入 = $1.2\text{ V}$ ， $V_{DD1}$ 或 $V_{DD2} = 0\text{ V}$
电源						
电源电流	$I_{DD1}, I_{IN1}, I_{DD2}$ 或 $I_{IN2}$			55	mA	无输出负载，输入采用 $100\ \Omega$ ，不施加 $ V_{ID} $
仅限ADN4651/ADN4652				58	mA	加载全部输出， $R_L = 100\ \Omega$ ， $f = 300\text{ MHz}$
仅限ADN4650				50	mA	无输出负载，输入采用 $100\ \Omega$ ， $ V_{ID}  = 200\text{ mV}$
LDO输入范围	$V_{IN1}$ 或 $V_{IN2}$		60	72	mA	加载全部输出， $R_L = 100\ \Omega$ ， $f = 300\text{ MHz}$
LDO输出范围	$V_{DD1}$ 或 $V_{DD2}$	3.0	3.3	3.6	V	$V_{DD1}$ 或 $V_{DD2}$ 上无外部电源
电源纹波抑制，相位杂散电平	PSRR			-75	dBc	$D_{OUTx\pm}$ 上的相位杂散电平， $D_{INx\pm}$ 上施加 $300\text{ MHz}$ 时钟，施加的纹波为 $100\text{ kHz}$ ， $100\text{ mV p-p}$ ， $V_{DD1}$ 或 $V_{DD2}$ 电源为 $2.5\text{ V}$
共模瞬变抗扰度 <sup>2</sup>	$ CM $	25	50		kV/ $\mu\text{s}$	$V_{CM} = 1000\text{ V}$ ，瞬变幅度 = $800\text{ V}$

<sup>1</sup> 通过设计和特性保证这些规格。

<sup>2</sup>  $|CM|$  是在维持任意  $D_{OUTx+}/D_{OUTx-}$  引脚状态等于相应  $D_{INx+}/D_{INx-}$  引脚(输出无变化)时能保持的最大共模电压压摆率，或者如果施加的共模瞬变边沿与相应  $D_{INx+}/D_{INx-}$  引脚恰巧相同时，在任意  $D_{OUTx+}/D_{OUTx-}$  引脚上产生预期瞬变。共模电压压摆率适用于共模电压的上升沿和下降沿。

# ADN4650/ADN4651/ADN4652

## 接收器输入阈值测试电压

表2. 接收器操作的测试电压

施加的电压		输入电压, 差分( $V_{ID}$ ) (V)	输入电压, 共模( $V_{IC}$ ) (V)	驱动器输出( $V_{OD}$ ) (mV)
$D_{INx+}$ (V)	$D_{INx-}$ (V)			
1.25	1.15	+0.1	1.2	>+250
1.15	1.25	-0.1	1.2	<-250
2.4	2.3	+0.1	2.35	>+250
2.3	2.4	-0.1	2.35	<-250
0.1	0	+0.1	0.05	>+250
0	0.1	-0.1	0.05	<-250
1.5	0.9	+0.6	1.2	>+250
0.9	1.5	-0.6	1.2	<-250
2.4	1.8	+0.6	2.1	>+250
1.8	2.4	-0.6	2.1	<-250
0.6	0	+0.6	0.3	>+250
0	0.6	-0.6	0.3	<-250

## 时序规格

除非另有说明, 所有最小值/最大值规格适用于 $V_{DD1} = V_{DD2} = 2.375\text{ V}$ 至 $2.625\text{ V}$ ,  $T_A = T_{MIN}$ 至 $T_{MAX}$ 。所有典型值规格适用于 $V_{DD1} = V_{DD2} = 2.5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ 。

表3.

参数	符号	最小值	典型值	最大值 <sup>1</sup>	单位	测试条件/注释
传播延迟	$t_{PLH}, t_{PHL}$	4	4.5		ns	参见图37, 从任意 $D_{INx+}/D_{INx-}$ 到 $D_{OUTx+}/D_{OUTx-}$
偏斜						参见图37, 范围为全部 $D_{OUTx+}/D_{OUTx-}$
占空比 <sup>2</sup>	$t_{SK(D)}$		100		ps	仅限ADN4650 ADN4650、ADN4651、ADN4652, 或组合 仅限ADN4650到ADN4650
通道间 <sup>3</sup>	$t_{SK(CH)}$	200	500		ps	
		150	300		ps	
器件间 <sup>4</sup>	$t_{SK(PP)}$		600	500	ps	
抖动 <sup>5</sup>						参见图37, 任意 $D_{OUTx+}/D_{OUTx-}$
随机抖动, RMS <sup>6</sup> ( $1\sigma$ )	$t_{RJ(RMS)}$	2.6	4.8		ps rms	300 MHz时钟输入
确定性抖动 <sup>7, 8</sup>	$t_{DJ(PP)}$	30	96		ps	600 Mbps, $2^{23} - 1$ PRBS
含串扰	$t_{DJC(PP)}$	30			ps	600 Mbps, $2^{23} - 1$ PRBS
BER $1 \times 10^{-12}$ 处的总抖动	$t_{TJ(PP)}$	70	151		ps	300 MHz/600 Mbps, $2^{23} - 1$ PRBS <sup>9</sup>
加性相位抖动	$t_{ADDJ}$	387			fs rms	100 Hz至100 kHz, $f_{OUT} = 10\text{ MHz}$ <sup>10</sup>
		376			fs rms	12 kHz至20 MHz, $f_{OUT} = 300\text{ MHz}$ <sup>11</sup>
上升/下降时间	$t_R, t_F$		350		ps	参见图37, 任意 $D_{OUTx+}/D_{OUTx-}$ , 20%至80%, $R_L = 100\ \Omega$ , $C_L = 5\text{ pF}$
故障安全延迟 <sup>12</sup>	$t_{FSH}, t_{FSL}$	1	1.2		$\mu\text{s}$	仅限ADN4651/ADN4652; 参见图37和图4, 任意 $D_{OUTx+}/D_{OUTx-}$ , $R_L = 100\ \Omega$
最大数据速率		600			Mbps	

<sup>1</sup> 通过设计和特性保证这些规格。

<sup>2</sup> 占空比或脉冲偏斜是器件任意通道的 $t_{PLH}$ 和 $t_{PHL}$ 之差最大值的幅度, 即 $|t_{PHL} - t_{PLH}|$ 。

<sup>3</sup> 通道间偏斜或输出偏斜等于器件内 $t_{PLH}$ 最大值与最小值之差, 或器件内 $t_{PHL}$ 最大值与最小值之差; 两者取其数值较大者。

<sup>4</sup> 器件间输出偏斜等于多个器件内 $t_{PLH}$ 最大值与最小值之差, 或多个器件内 $t_{PHL}$ 最大值与最小值之差; 两者取其数值较大者。

<sup>5</sup> 通过设计和特性保证抖动参数。数值不包括激励抖动。 $V_{ID} = 400\text{ mV p-p}$ ,  $t_r = t_f = 0.3\text{ ns}$ (20%至80%)。

<sup>6</sup> 此规格的测量样本数约为7,000,000个边沿。

<sup>7</sup> 峰值抖动规格包括脉冲偏斜( $t_{SK(D)}$ )导致的抖动。

<sup>8</sup> 此规格的测量样本数约为3,000,000个边沿。

<sup>9</sup> 使用公式 $t_{TJ(PP)} = 14 \times t_{RJ(RMS)} + t_{DJ(PP)}$ 。

<sup>10</sup> 减去250 fs rms输入相位抖动。

<sup>11</sup> 减去100 fs rms输入相位抖动。

<sup>12</sup> 故障安全延迟是 $D_{OUTx}$ 切换到高电平以前的延迟, 反映 $D_{INx}$ 的空闲输入( $|V_{ID}| < 100\text{ mV}$ , 开路或短路/端接输入条件)。

## 时序图

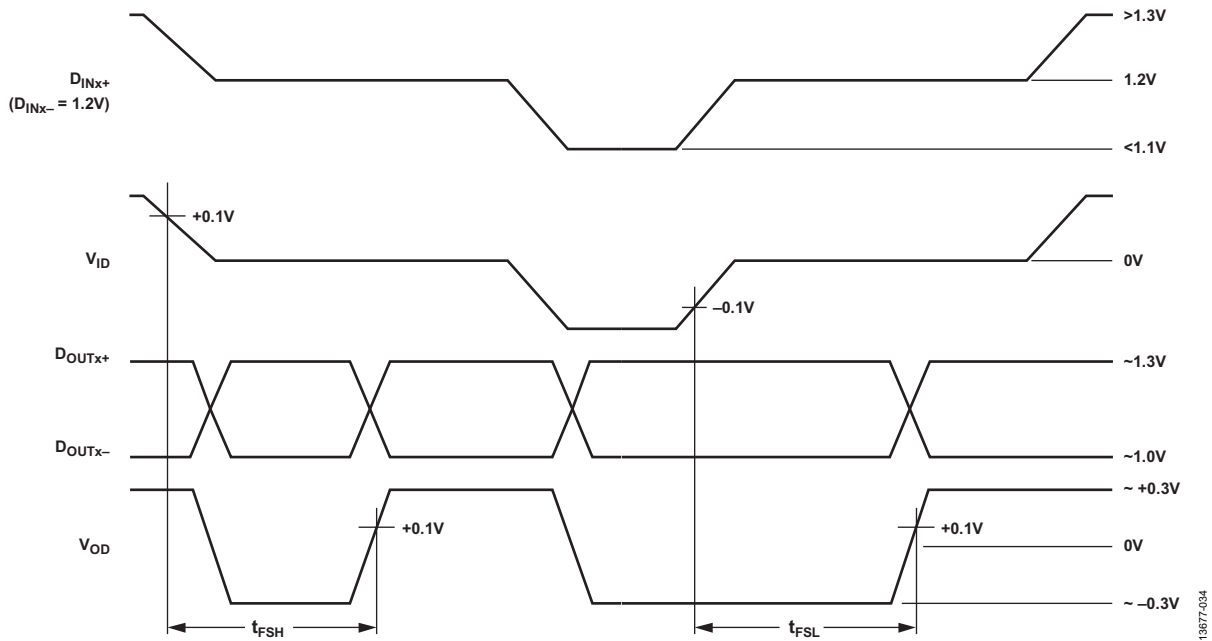


图4. 故障安全时序图

13677-034

## 隔离和安全相关特性

欲了解更多信息，请访问[www.analog.com/icouplersafety](http://www.analog.com/icouplersafety)。

表4.

参数	符号	值	单位	测试条件/注释
额定电介质隔离电压		5000	V rms	持续1分钟
最小外部气隙(间隙)	L (I01)	7.8	mm min	测量输入端至输出端，隔空最短距离
最小外部爬电距离	L (I02)	7.8	mm min	测量输入端至输出端，沿壳体最短距离
印刷电路板层中的最小间隙 (PCB间隙)	L (PCB)	8.1	mm min	测量输入端至输出端，PCB安装层中的隔空最短距离， 视线
最小内部间隙		17	μm min	隔离距离
漏电阻抗(相对漏电指数)	CTI	>400	V	DIN IEC 112/VDE 0303第1部分
材料组别		II		材料组别(DIN VDE 0110, 1/89, 表1)

## 封装特性

表5.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电阻(输入至输出) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>13</sup>		Ω	
电容(输入至输出) <sup>1</sup>	C <sub>I-O</sub>		2.2		pF	f = 1 MHz
输入电容 <sup>2</sup>	C <sub>I</sub>		3.7		pF	
IC结至环境热阻	θ <sub>JA</sub>		45.7		°C/W	采用4层标准JEDEC PCB进行热仿真

<sup>1</sup> 假设器件为双端器件：引脚1至引脚10短接在一起，引脚11至引脚20短接在一起。

<sup>2</sup> 输入电容是从任意输入数据引脚到地的容值。

# ADN4650/ADN4651/ADN4652

## 法规信息

关于特定隔离波形和绝缘水平下的推荐最大工作电压，请参阅表11和“隔离寿命”部分。

表6.

UL(申请中)	CSA(申请中)	VDE(申请中)
UL 1577 器件认可程序(待认可) <sup>1</sup> 单一保护, 5000 V rms 隔离电压 文件E214100	CSA 元件验收通知5A批准  文件205078	依照 DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 进行认证 <sup>2</sup> 加强绝缘, $V_{IORM} = 424$ V 峰值, $V_{IOSM} = 6000$ V 峰值 基本绝缘, $V_{IORM} = 424$ V 峰值, $V_{IOSM} = 10,000$ V 峰值 文件2471900-4880-0001

<sup>1</sup> 依据 UL 1577, 每个 ADN4650/ADN4651/ADN4652 器件都经过 1 秒钟绝缘测试电压  $\geq 6000$  V rms 的验证测试。

<sup>2</sup> 依据 DIN V VDE V 0884-10, 每个 ADN4650/ADN4651/ADN4652 器件都经过 1 秒钟绝缘测试电压  $\geq 795$  V 峰值的验证测试(局部放电检测限值为 5 pC)。

## DIN V VDE V 0884-10 (VDE V 0884-10) 绝缘特性(申请中)

此隔离器适合安全限制数据范围内的增强电隔离。保护电路维护安全数据。

表7.

说明	测试条件/注释	符号	特性	单位
DIN VDE 0110 装置分类 额定市电电压 $\leq 150$ V rms 额定市电电压 $\leq 300$ V rms 额定市电电压 $\leq 600$ V rms 环境分类 污染度(DIN VDE 0110, 表1) 最大工作绝缘电压 输入至输出测试电压, 方法B1 输入至输出测试电压, 方法A 跟随环境测试, 子类1 跟随输入和/或安全测试, 子类2和子类3	$V_{IORM} \times 1.875 = V_{pd(m)}$ , 100% 生产测试, $t_{ini} = t_m = 1$ 秒, 局部放电 $< 5$ pC  $V_{IORM} \times 1.5 = V_{pd(m)}$ , $t_{ini} = 60$ 秒, $t_m = 10$ 秒, 局部放电 $< 5$ pC  $V_{IORM} \times 1.2 = V_{pd(m)}$ , $t_{ini} = 60$ 秒, $t_m = 10$ 秒, 局部放电 $< 5$ pC	$V_{IORM}$ $V_{pd(m)}$ $V_{pd(m)}$	I至IV I至IV I至III 40/125/21 2 424 795 636 509	V 峰值 V 峰值    V 峰值 V 峰值
最高允许过压 浪涌隔离电压 基本 加强	$V_{PEAK} = 12.8$ kV, 1.2 $\mu$ s 上升时间, 50 $\mu$ s, 50% 下降时间  $V_{PEAK} = 10$ kV, 1.2 $\mu$ s 上升时间, 50 $\mu$ s, 50% 下降时间 出现故障时允许的最大值(见图5)	$V_{IOTM}$ $V_{IOSM}$ $V_{IOSM}$	5000 10,000 6000	V 峰值 V 峰值 V 峰值
安全限值 最高结温 25°C 时的总功耗 $T_5$ 时的绝缘电阻	$V_{IO} = 500$ V	$T_5$ $P_5$ $R_5$	150 2.78 $> 10^9$	°C W $\Omega$

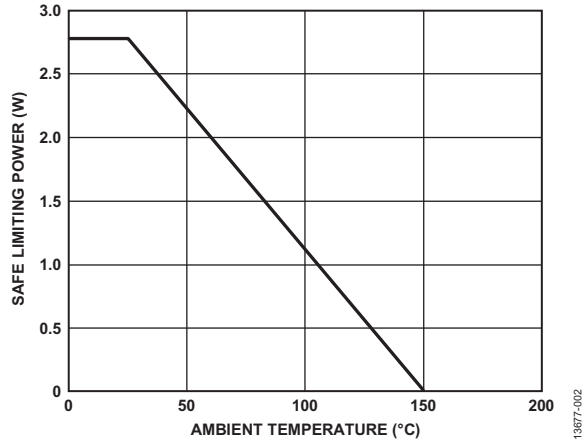


图5. 热减额曲线，依据DIN V VDE V 0884-10 获得的安全限值与环境温度的关系

## 建议工作条件

表8.

参数	符号	额定值
工作温度	$T_A$	-40°C至+125°C
电源电压	$V_{IN1}, V_{IN2}$	3.0 V至3.6 V
LDO电源 LDO旁路, $V_{INx}$ 短路至 $V_{DDx}$	$V_{DD1}, V_{DD2}$	2.375 V至2.625 V

## 绝对最大额定值

表9.

参数	额定值
$V_{IN1}$ 至 $GND_1$ / $V_{IN2}$ 至 $GND_2$	-0.3 V至+6.5 V
$V_{DD1}$ 至 $GND_1$ / $V_{DD2}$ 至 $GND_2$	-0.3 V至+2.8 V
输入电压( $D_{INx+}$ , $D_{INx-}$ )至 $GND_x$ , 同一侧	-0.3 V至 $V_{DD} + 0.3$ V
输出电压( $D_{OUTx+}$ , $D_{OUTx-}$ )至 $GND_x$ , 同一侧	-0.3 V至 $V_{DD} + 0.3$ V
短路持续时间( $D_{OUTx+}$ , $D_{OUTx-}$ )至 $GND_x$ , 同一侧	连续
工作温度范围	-40°C至+125°C
存储温度范围	-65°C至+150°C
结温( $T_j$ 最大值)	150°C
功耗	$(T_{j\text{最大值}} - T_A)/\theta_{JA}$
ESD	
人体模型(所有引脚连接相应的 $GND_x$ , 1.5 k $\Omega$ 、100 pF)	$\pm 4$ kV
IEC 61000-4-2(LVDS引脚连接隔离 $GND_x$ , 跨越隔离栅)	$\pm 8$ kV

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

表11. 最大连续工作电压<sup>1</sup>

参数	额定值	约束条件
交流电压		
双极性波形		
基本绝缘	495V 峰值	最少50年绝缘寿命, 1%故障
加强绝缘	495V 峰值	最少50年绝缘寿命, 1%故障
单极性波形		
基本绝缘	990V 峰值	最少50年绝缘寿命, 1%故障
加强绝缘	875V 峰值	寿命受封装爬电距离限制, 最大认证工作电压
直流电压		
基本绝缘	1079V 峰值	寿命受封装爬电距离限制, 最大认证工作电压
加强绝缘	536V 峰值	寿命受封装爬电距离限制, 最大认证工作电压

<sup>1</sup> 最大连续工作电压指隔离栅上的连续电压幅度。详情见“隔离寿命”部分。

## 热阻

$\theta_{JA}$  针对最差条件，即器件焊接在电路板上实现表贴封装。

表10. 热阻

封装类型	$\theta_{JA}$	单位
20引脚 SOIC	45.7	°C/W

## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



## 引脚配置和功能描述

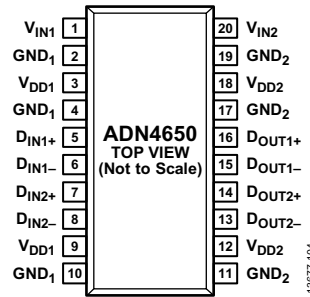


图6. ADN4650引脚配置

表12. ADN4650引脚功能描述

引脚编号	引脚名称	说明
1	V <sub>IN1</sub>	第1侧可选3.3 V电源/LDO输入。使用1 μF电容，将V <sub>IN1</sub> 旁路至GND <sub>1</sub> 。此外，如果使用2.5 V电源，则将V <sub>IN1</sub> 直接连接V <sub>DD1</sub> 。
2, 4, 10	GND <sub>1</sub>	接地，第1侧。
3, 9	V <sub>DD1</sub>	第1侧2.5 V电源。外部连接全部2个引脚，并采用0.1 μF电容旁路至GND <sub>1</sub> 。如果向V <sub>IN1</sub> 提供3.3 V电压，则在引脚3和GND <sub>1</sub> 之间连接一个1 μF电容，以便正确调整内部LDO的2.5 V输出电压。
5	D <sub>IN1+</sub>	同相差分输入1。
6	D <sub>IN1-</sub>	反相差分输入1。
7	D <sub>IN2+</sub>	同相差分输入2。
8	D <sub>IN2-</sub>	反相差分输入2。
11, 17, 19	GND <sub>2</sub>	接地，第2侧。
12, 18	V <sub>DD2</sub>	第2侧2.5 V电源。外部连接全部2个引脚，并采用0.1 μF电容旁路至GND <sub>2</sub> 。如果向V <sub>IN2</sub> 提供3.3 V电压，则在引脚18和GND <sub>2</sub> 之间连接一个2 μF电容，以便正确调整内部LDO的2.5 V输出电压。
13	D <sub>OUT2-</sub>	反相差分输出2。
14	D <sub>OUT2+</sub>	同相差分输出2。
15	D <sub>OUT1-</sub>	反相差分输出1。
16	D <sub>OUT1+</sub>	同相差分输出1。
20	V <sub>IN2</sub>	第2侧可选3.3 V电源/LDO输入。使用1 μF电容，将V <sub>IN2</sub> 旁路至GND <sub>2</sub> 。此外，如果使用2.5 V电源，则将V <sub>IN2</sub> 直接连接V <sub>DD2</sub> 。

# ADN4650/ADN4651/ADN4652

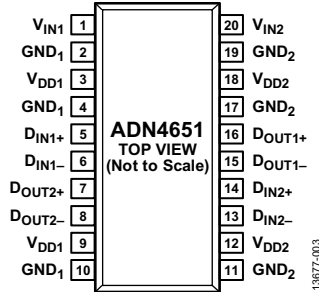


图7. ADN4651引脚配置

表13. ADN4651引脚功能描述

引脚编号	引脚名称	说明
1	V <sub>IN1</sub>	第1侧可选3.3 V电源/LDO输入。使用1 μF电容，将V <sub>IN1</sub> 旁路至GND <sub>1</sub> 。此外，如果使用2.5 V电源，则将V <sub>IN1</sub> 直接连接V <sub>DD1</sub> 。
2, 4, 10	GND <sub>1</sub>	接地，第1侧。
3, 9	V <sub>DD1</sub>	第1侧2.5 V电源。外部连接全部2个引脚，并采用0.1 μF电容旁路至GND <sub>1</sub> 。如果向V <sub>IN1</sub> 提供3.3 V电压，则在引脚3和GND <sub>1</sub> 之间连接一个1 μF电容，以便正确调整内部LDO的2.5 V输出电压。
5	D <sub>IN1+</sub>	同相差分输入1。
6	D <sub>IN1-</sub>	反相差分输入1。
7	D <sub>OUT2+</sub>	同相差分输出2。
8	D <sub>OUT2-</sub>	反相差分输出2。
11, 17, 19	GND <sub>2</sub>	接地，第2侧。
12, 18	V <sub>DD2</sub>	第2侧2.5 V电源。外部连接全部2个引脚，并采用0.1 μF电容旁路至GND <sub>2</sub> 。如果向V <sub>IN2</sub> 提供3.3 V电压，则在引脚18和GND <sub>1</sub> 之间连接一个2 μF电容，以便正确调整内部LDO的2.5 V输出电压。
13	D <sub>IN2-</sub>	反相差分输入2。
14	D <sub>IN2+</sub>	同相差分输入2。
15	D <sub>OUT1-</sub>	反相差分输出1。
16	D <sub>OUT1+</sub>	同相差分输出1。
20	V <sub>IN2</sub>	第2侧可选3.3 V电源/LDO输入。使用1 μF电容，将V <sub>IN2</sub> 旁路至GND <sub>2</sub> 。此外，如果使用2.5 V电源，则将V <sub>IN2</sub> 直接连接V <sub>DD2</sub> 。

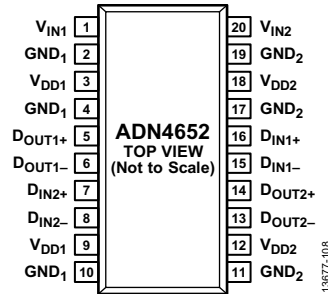


图8. ADN4652引脚配置

表14. ADN4652引脚功能描述

引脚编号	引脚名称	说明
1	V <sub>IN1</sub>	第1侧可选3.3 V电源/LDO输入。使用1 μF电容，将V <sub>IN1</sub> 旁路至GND <sub>1</sub> 。此外，如果使用2.5 V电源，则将V <sub>IN1</sub> 直接连接V <sub>DD1</sub> 。
2, 4, 10	GND <sub>1</sub>	接地，第1侧。
3, 9	V <sub>DD1</sub>	第1侧2.5 V电源。外部连接全部2个引脚，并采用0.1 μF电容旁路至GND <sub>1</sub> 。如果向V <sub>IN1</sub> 提供3.3 V电压，则在引脚3和GND <sub>1</sub> 之间连接一个1 μF电容，以便正确调整内部LDO的2.5 V输出电压。
5	D <sub>OUT1+</sub>	同相差分输出1。
6	D <sub>OUT1-</sub>	反相差分输出1。
7	D <sub>IN2+</sub>	同相差分输入2。
8	D <sub>IN2-</sub>	反相差分输入2。
11, 17, 19	GND <sub>2</sub>	接地，第2侧。
12, 18	V <sub>DD2</sub>	第2侧2.5 V电源。外部连接全部2个引脚，并采用0.1 μF电容旁路至GND <sub>2</sub> 。如果向V <sub>IN2</sub> 提供3.3 V电压，则在引脚18和GND <sub>1</sub> 之间连接一个2 μF电容，以便正确调整内部LDO的2.5 V输出电压。
13	D <sub>OUT2-</sub>	反相差分输出2。
14	D <sub>OUT2+</sub>	同相差分输出2。
15	D <sub>IN1-</sub>	反相差分输入1。
16	D <sub>IN1+</sub>	同相差分输入1。
20	V <sub>IN2</sub>	第2侧可选3.3 V电源/LDO输入。使用1 μF电容，将V <sub>IN2</sub> 旁路至GND <sub>2</sub> 。此外，如果使用2.5 V电源，则将V <sub>IN2</sub> 直接连接V <sub>DD2</sub> 。

# ADN4650/ADN4651/ADN4652

## 典型性能参数

除非另有说明,  $V_{DD1} = V_{DD2} = 2.5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $R_L = 100 \Omega$ , 300 MHz输入,  $|V_{ID}| = 200 \text{ mV}$ ,  $V_{IC} = 1.1 \text{ V}$ 。

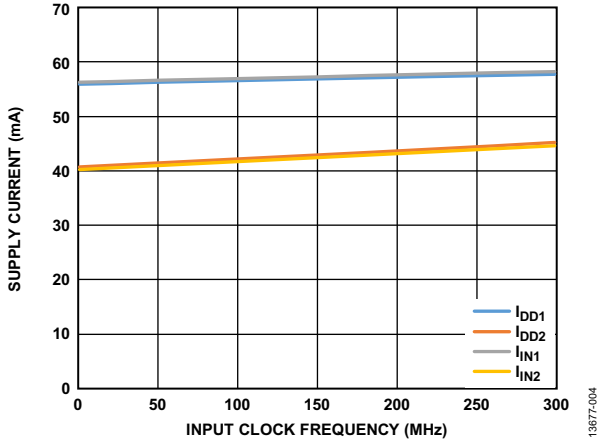


图9.  $I_{DD1}/I_{DD2}$ 或 $I_{IN1}/I_{IN2}$ 电源电流与 $D_{IN1\pm}$ 输入时钟频率的关系 ( $D_{IN2\pm}$ 未切换)

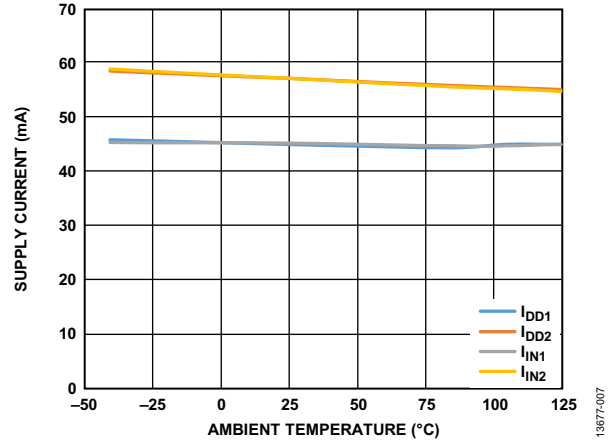


图12.  $I_{DD1}/I_{DD2}$ 或 $I_{IN1}/I_{IN2}$ 电源电流与环境温度( $T_A$ )的关系 ( $D_{IN2\pm}$ 采用300 MHz时钟输入,  $D_{IN1\pm}$ 未切换)

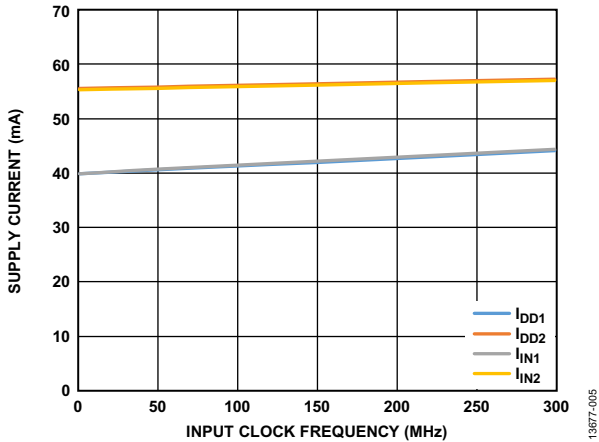


图10.  $I_{DD1}/I_{DD2}$ 或 $I_{IN1}/I_{IN2}$ 电源电流与 $D_{IN2\pm}$ 输入时钟频率的关系 ( $D_{IN1\pm}$ 未切换)

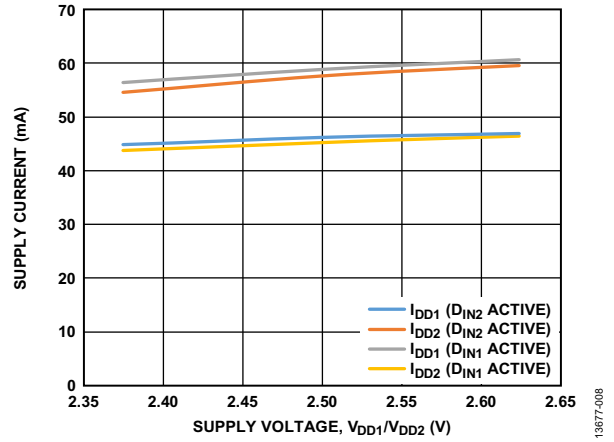


图13.  $I_{DD1}/I_{DD2}$ 电源电流与 $V_{DD1}/V_{DD2}$ 电源电压的关系

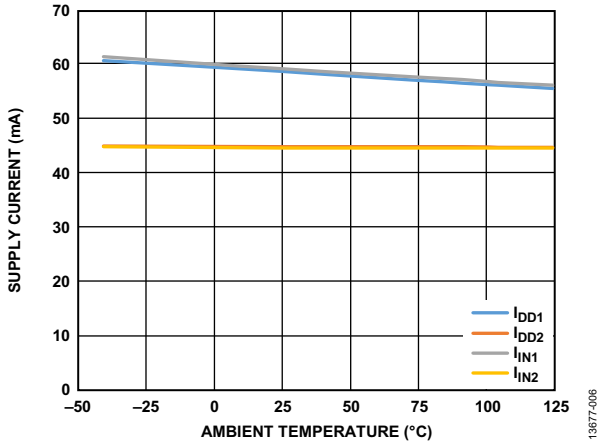


图11.  $I_{DD1}/I_{DD2}$ 或 $I_{IN1}/I_{IN2}$ 电源电流与环境温度( $T_A$ )的关系 ( $D_{IN1\pm}$ 采用300 MHz时钟输入,  $D_{IN2\pm}$ 未切换)

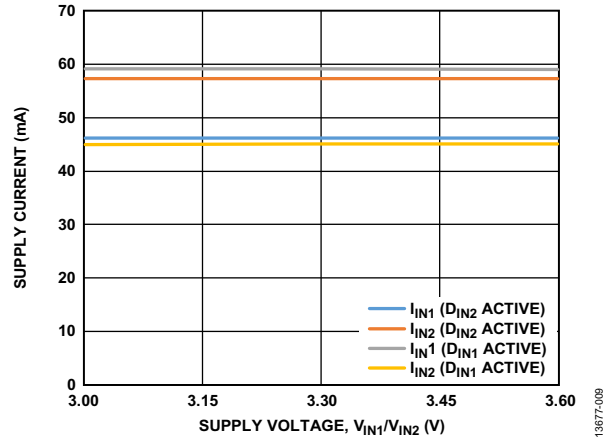


图14.  $I_{IN1}/I_{IN2}$ 电源电流与 $V_{IN1}/V_{IN2}$ 电源电压的关系

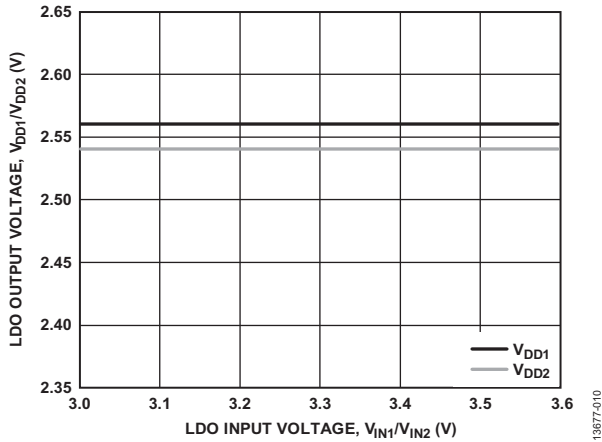


图15. LDO输出电压  $V_{DD1}/V_{DD2}$  与LDO输入电压  $V_{IN1}/V_{IN2}$  的关系

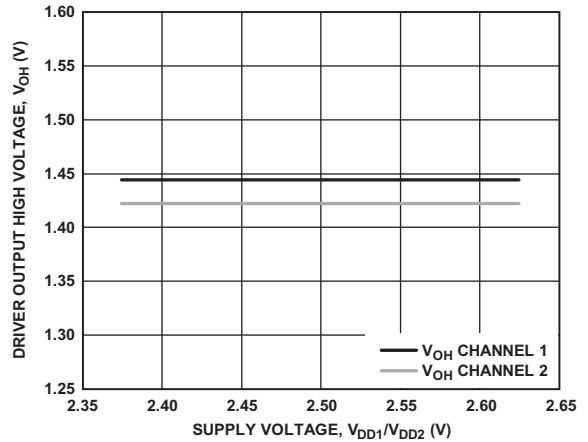


图18. 驱动器输出高电压 ( $V_{OH}$ ) 与电源电压  $V_{DD1}/V_{DD2}$  的关系

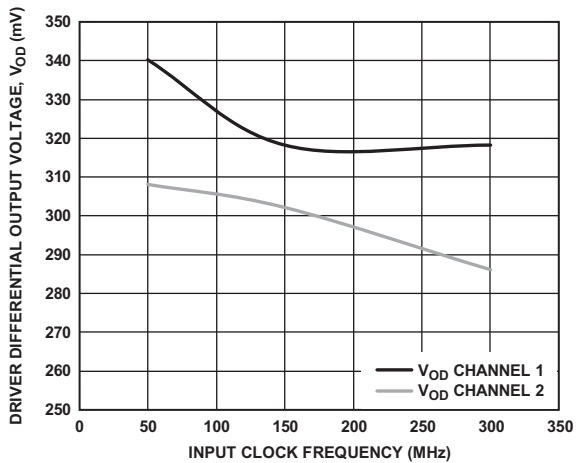


图16. 驱动器差分输出电压 ( $V_{OD}$ ) 与输入时钟频率的关系

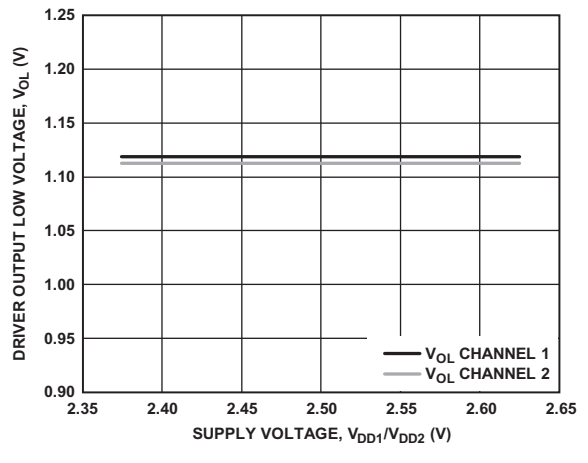


图19. 驱动器输出低电压 ( $V_{OL}$ ) 与电源电压  $V_{DD1}/V_{DD2}$  的关系

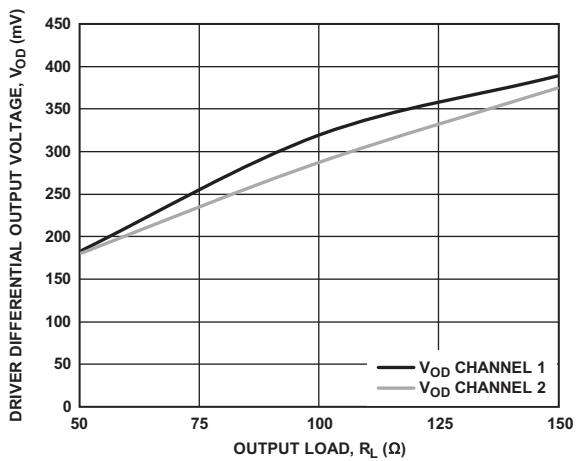


图17. 驱动器差分输出电压 ( $V_{OD}$ ) 与输出负载 ( $R_L$ ) 的关系

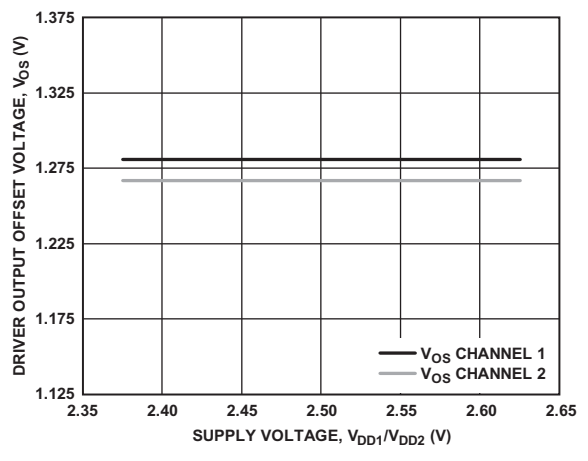


图20. 驱动器输出失调电压 ( $V_{OS}$ ) 与电源电压  $V_{DD1}/V_{DD2}$  的关系

# ADN4650/ADN4651/ADN4652

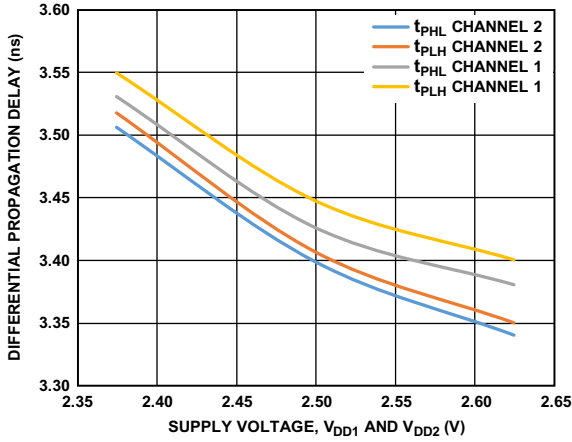


图21. 差分传播延迟与电源电压 $V_{DD1}$ 和 $V_{DD2}$ 的关系

13877-017

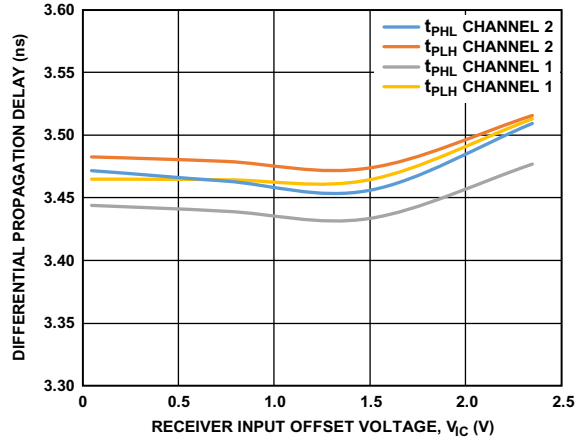


图24. 差分传播延迟与接收器输入失调电压( $V_{IC}$ )的关系

13877-020

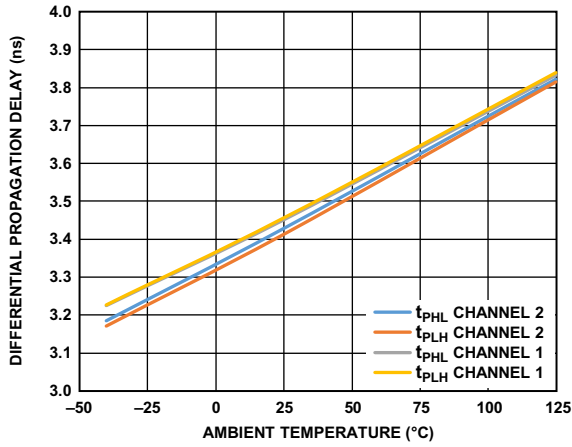


图22. 差分传播延迟与环境温度( $T_A$ )的关系

13877-018

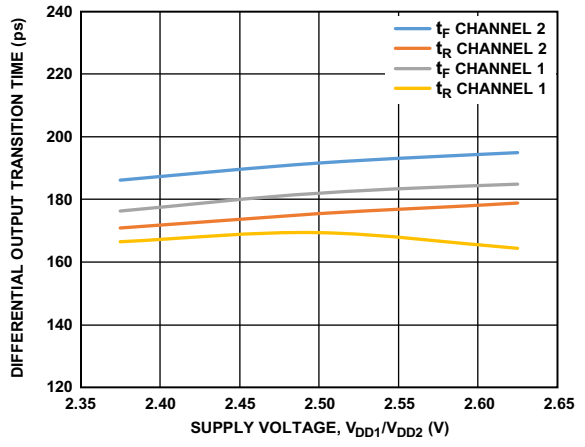


图25. 差分输出转换时间与电源电压 $V_{DD1}/V_{DD2}$ 的关系

13877-021

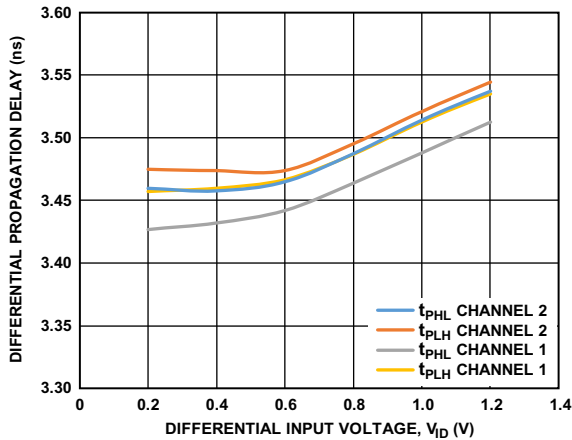


图23. 差分传播延迟与接收器差分输入电压( $V_{ID}$ )的关系

13877-019

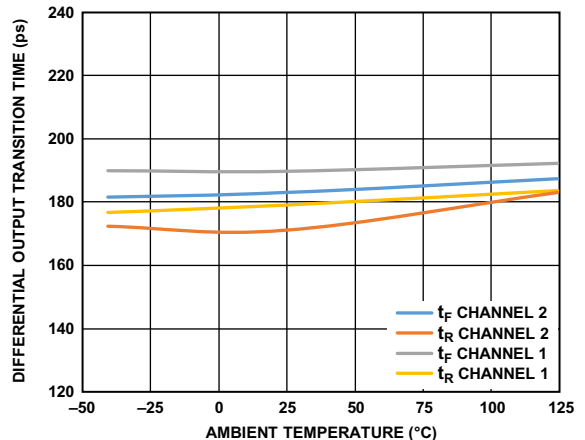


图26. 差分输出转换时间与环境温度( $T_A$ )的关系

13877-022

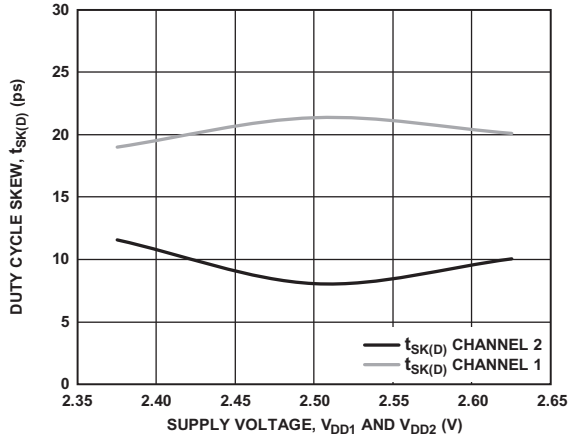


图27. 占空比偏斜( $t_{SK(D)}$ )与电源电压 $V_{DD1}$ 和 $V_{DD2}$ 的关系

13877-023

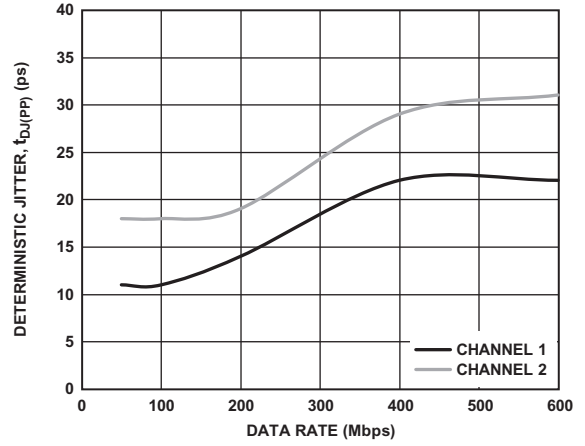


图29. 确定性抖动( $t_{DJ(PP)}$ )与数据速率的关系

13877-025

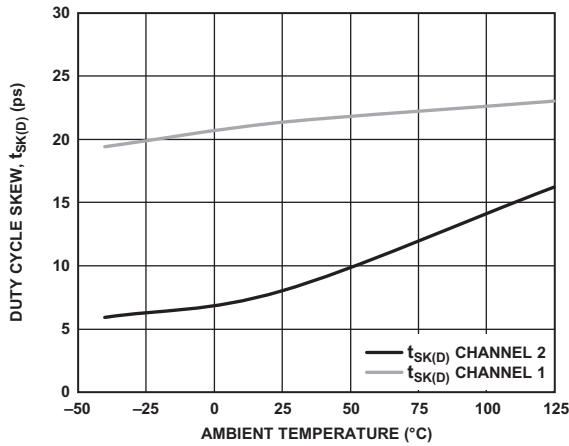


图28. 占空比偏斜( $t_{SK(D)}$ )与环境温度( $T_A$ )的关系

13877-024

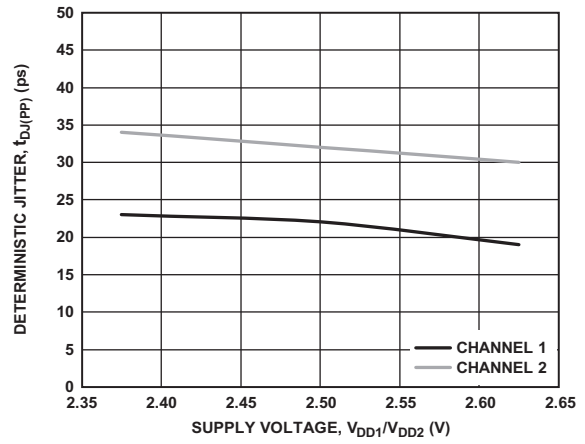


图30. 确定性抖动( $t_{DJ(PP)}$ )与电源电压 $V_{DD1}/V_{DD2}$ 的关系

13877-026

# ADN4650/ADN4651/ADN4652

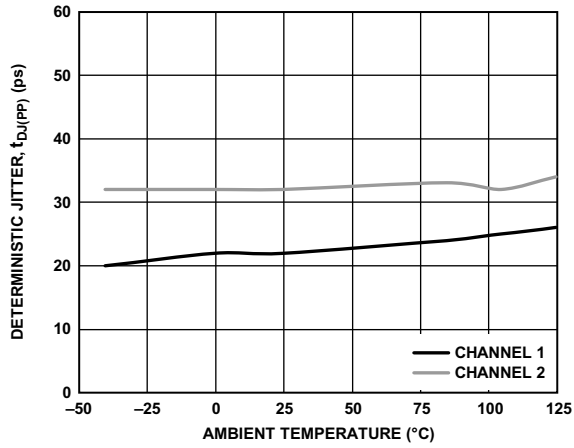
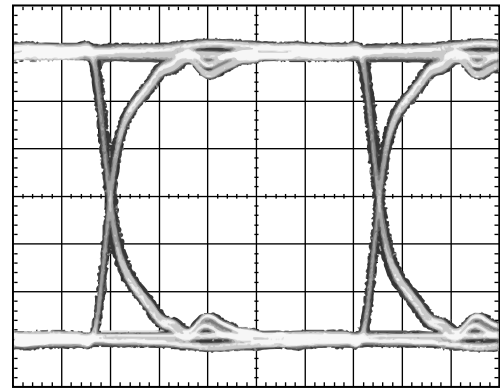
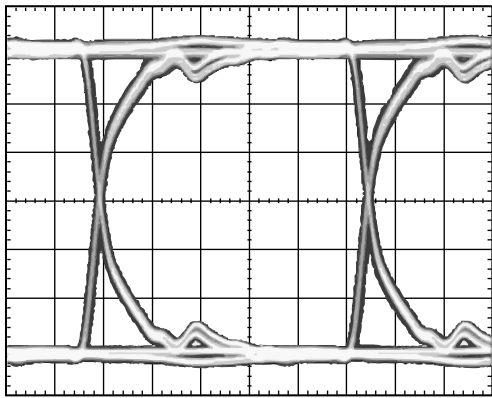


图31. 确定性抖动( $t_{DJ(PP)}$ )与环境温度的关系



CH1 50mV CH2 50mV 300ps/DIV  
CH3 10mV CH4 10mV DELAY 61.0828ns

图33. ADN4651  $D_{OUT2+}$  眼图



CH1 50mV CH2 50mV 300ps/DIV  
CH3 10mV CH4 10mV DELAY 61.0828ns

图32. ADN4651  $D_{OUT1+}$  眼图



# 测试电路和开关特性

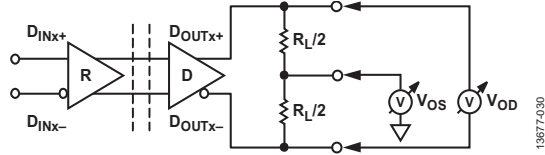
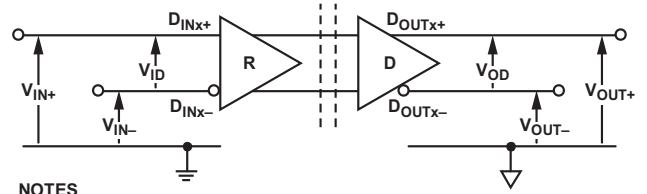


图34. 驱动器测试电路

13877-030

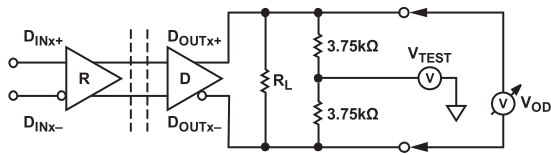


NOTES

1.  $V_{ID} = V_{IN+} - V_{IN-}$
2.  $V_{IC} = (V_{IN+} + V_{IN-})/2$
3.  $V_{OD} = V_{OUT+} - V_{OUT-}$
4.  $V_{OS} = (V_{OUT+} + V_{OUT-})/2$

图36. 电压定义

13877-032

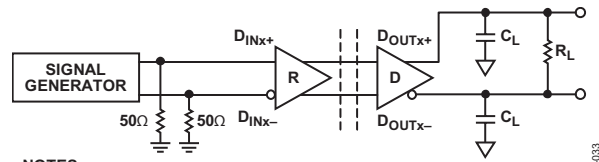


NOTES

1.  $V_{TEST} = 0V \text{ TO } 2.4V$

图35. 驱动器测试电路(共模范围内满载)

13877-031



NOTES

1.  $C_L$  INCLUDES PROBE AND JIG CAPACITANCE.

图37. 时序测试电路

13877-033

# ADN4650/ADN4651/ADN4652

## 工作原理

ADN4650/ADN4651/ADN4652均为TIA/EIA-644-A LVDS兼容型隔离式缓冲器。施加到输入端的LVDS信号通过缓冲器输出端发送，而电流隔离集成在器件两侧之间。这种集成方式可实现LVDS信号链的直接隔离。

LVDS接收器检测LVDS输入端接电阻上的差分电压。集成式数字隔离器跨越隔离栅发送输入级信号，LVDS驱动器输出状态与输入相同。

任意 $D_{INx\pm}$ 引脚上的正差分电压 $\geq 100$  mV，相应的 $D_{OUTx+}$ 引脚提供源电流。该电流流过连接的传输线路，并在总线远端的接收器处端接，而 $D_{OUTx-}$ 吸收返回的电流。任意 $D_{INx\pm}$ 引脚上的负差分电压 $\leq -100$  mV，相应的 $D_{OUTx+}$ 引脚吸取电流， $D_{OUTx-}$ 提供源电流。表15和表16显示了这些输入/输出组合。

输出驱动电流范围为 $\pm 2.5$  mA至 $\pm 4.5$  mA(典型值为 $\pm 3.1$  mA)，在 $100 \Omega$ 端接电阻( $R_T$ )两端扩展到 $\pm 250$  mV至 $\pm 450$  mV。接收电压对中至1.2 V。注意，由于差分电压( $V_{ID}$ )反转极性， $R_T$ 上的峰峰值电压摆幅是差分电压幅度( $|V_{ID}|$ )的两倍。

### 真值表和故障安全接收器

LVDS标准TIA/EIA-644-A定义了两种条件下的正常接收器操作：输入差分电压 $\geq +100$  mV对应一种逻辑状态，电压 $\leq -100$  mV对应另一种逻辑状态。未定义这两个阈值之间的标准LVDS接收器操作(可能会检测到任意一种状态)，参见表15中的ADN4650。ADN4651/ADN4652集成了一个故障安

表15. ADN4650输入/输出操作

输入( $D_{INx\pm}$ )			输出( $D_{OUTx\pm}$ )		
上电	$V_{ID}$ (mV)	逻辑	上电	$V_{OD}$ (mV)	逻辑
是	$\geq 100$	高电平	是	$\geq 250$	高电平
是	$\leq -100$	低电平	是	$\leq -250$	低电平
是	$-100 < V_{ID} < +100$	不确定	是	不确定	不确定
否	无关	无关	是	$\geq 250$	高电平

表16. ADN4651/ADN4652输入/输出操作

输入( $D_{INx\pm}$ )			输出( $D_{OUTx\pm}$ )		
上电	$V_{ID}$ (mV)	逻辑	上电	$V_{OD}$ (mV)	逻辑
是	$\geq 100$	高电平	是	$\geq 250$	高电平
是	$\leq -100$	低电平	是	$\leq -250$	低电平
是	$-100 < V_{ID} < +100$	不确定	是	$\geq 250$	高电平
否	无关	无关	是	$\geq 250$	高电平

全电路，确保输入状态不确定时( $-100$  mV  $< V_{ID} < +100$  mV)，LVDS输出处于已知状态(逻辑高电平)，如表16所示。

该输入状态可能发生在输入浮空的时候(未连接，无端接电阻)、输入短路的时候，或者输入端未连接有源驱动器(但有端接电阻)的时候。开路、短路和端接/空闲总线故障安全分别保证了部署ADN4651/ADN4652之后，这些条件下具有已知的输出状态。

这些输入状态( $-100$  mV  $< V_{ID} < +100$  mV)触发故障安全电路之后，在输出保证变为高电平( $V_{OD} \geq 250$  mV)以前存在最多1.2  $\mu$ s延迟。在此期间，输出可能转换至(或者停留在)逻辑低电平状态( $V_{OD} \leq -250$  mV)。

只要输入差分电压停留在+100 mV至-100 mV范围内几纳秒，故障安全电路就会触发。这意味着输入信号的上升和下降非常慢，超出了一般LVDS的操作时间(最多350 ps,  $t_R/t_F$ )，这可能在高电平至低电平交越时触发故障安全电路。

正常工作时，在100 mV的最小 $|V_{ID}|$ 情况下，上升/下降时间必须 $\leq 5$  ns，以避免触发故障安全状态。将 $|V_{ID}|$ 提升至200 mV可相应地允许输入上升/下降时间达到10 ns，而不会触发故障安全状态。对于高电平至低电平转换较慢，并预期可能超出该限值的极慢速应用而言，使用外部偏置电阻是引入100 mV最低 $|V_{ID}|$ 的一种选择(即不会触发故障安全)。

## 隔离

为了响应集成式LVDS接收器检测到的输入状态任意变化，使用编码器电路通过集成式变压器线圈发送窄脉冲(约1 ns)至解码器电路。解码器是双稳态的，因此，脉冲置位或复位均表示输入转换。解码器状态决定了正常工作时的LVDS驱动器输出状态，并进而反映隔离式LVDS缓冲器输入状态。

如果输入转换“缺席”时间超过1 μs，则周期性置位刷新脉冲，表示正确的输入状态，确保输出端的直流正确性(可能的话还包括故障安全输出状态)。这些周期性刷新脉冲还可在出现故障条件时，于1 μs内校正输出状态，或者将ADN4651/ADN4652输出置位为故障安全状态。

上电时，如果没有输入转换，则输出状态一开始可能处于错误的直流状态。输出状态由刷新脉冲在1 μs内校正。

如果解码器没有接收到内部脉冲的时间超过约1 μs，器件便认为输入侧没有供电或者无效，在这种情况下，输出设置为正差分电压(逻辑高电平)。

## PCB布局布线

ADN4650/ADN4651/ADN4652能采用高达300 MHz时钟的LVDS信号，或者采用600 Mbps不归零(NRZ)数据。在如此高的频率下，针对LVDS的布局布线和端接尤其需要遵循最佳实践。将100 Ω端接电阻尽可能靠近接收器放置，并跨越 $D_{INx+}$ 和 $D_{INx-}$ 引脚放置。

LVDS信号线路需要50 Ω受控阻抗走线来实现信号完整性、降低系统抖动并最大程度减少来自PCB的电磁干扰(EMI)。走线宽度、各走线对之间的横向距离以及下方接地层之间的距离都必须正确选择。走线对之间PCB接地的过孔防护同样是一种最佳实践，可以最大程度降低邻近走线对之间的串扰。

ADN4650/ADN4651/ADN4652采用高达600 Mbps PRBS数据工作时，无需额外考虑隔离即可满足EN55022 B类辐射限值要求。隔离高速时钟时(比如300 MHz)，可能需要缩短PCB电气间隙(隔离间隙)以便减少偶极天线效应，并提供低于B类辐射限值的足够裕量。

高速PCB设计的最佳实践是在使用ADN4650/ADN4651/ADN4652的应用中避免来自PCB的其它一切辐射。板外连接应极其谨慎，因为来自高速LVDS信号(尤其是时钟信号)的开关瞬变可能会传导到线缆中，导致产生辐射。使用适合用在LVDS连接器的共模扼流圈、铁氧体材料或其它滤波器，以及电缆屏蔽或PCB接地/接外壳。

ADN4650/ADN4651/ADN4652要求采用100 nF电容，对 $V_{DDx}$ 引脚正确去耦。如果不使用集成的LDO，并且直接连接2.5 V电源，那么也应当将适当的 $V_{INx}$ 与电源相连，如图38所示；图中以ADN4651为例。

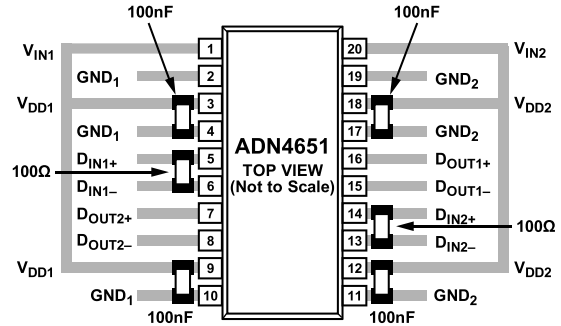


图38. 不使用LDO时所需要的PCB布局(2.5 V电源)

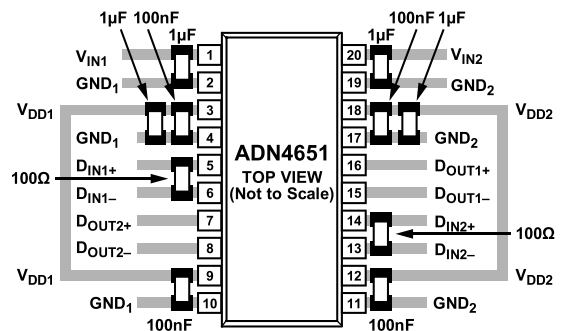


图39. 使用LDO时所需要的PCB布局(3.3 V电源)

使用集成式LDO时， $V_{INx}$ 引脚以及最靠近的 $V_{DDx}$ 引脚(LDO输出)要求使用1 μF旁路电容，如图39所示；图中以ADN4651为例。

## 磁场抗扰度

该器件磁场抗扰度的限制由变压器接收线圈中感应电压的状态决定，电压足够大就会错误地置位或复位解码器。下面的分析可说明此情况。ADN4650/ADN4651/ADN4652在2.375 V工作条件下检测，因为这是最易受干扰的工作模式。

变压器输出端的脉冲幅度大于0.5 V。解码器的检测阈值大约是0.25 V，因此有一个0.25 V的感应电压容限。接收线圈上的感应电压由以下公式计算：

$$V = (-d\beta/dt)\Sigma\pi r_n^2; n = 1, 2, \dots, N$$

其中：

$\beta$ 是磁通密度。

$r_n$ 是接收线圈第 $n$ 圈的半径。

$N$ 是接收线圈匝数。

# ADN4650/ADN4651/ADN4652

给定ADN4650/ADN4651/ADN4652中接收线圈几何形状及感应电压，解码器最多能够有0.25 V余量的50%，允许的最大磁场见图40所示计算。

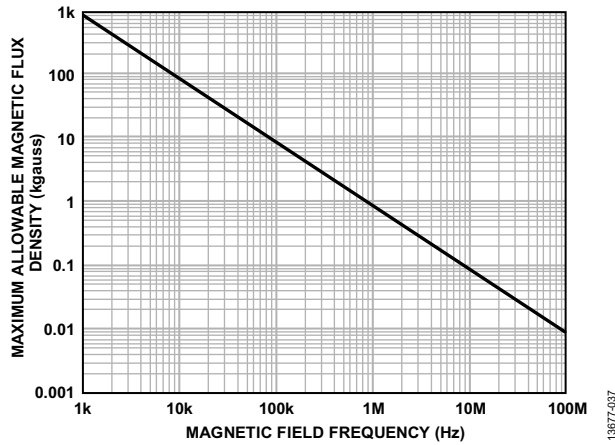


图40. 最大允许外部磁通密度

例如，在1 MHz的磁场频率下，最大允许0.92 K高斯的磁场在接收线圈可以感应出0.125 V的电压。该电压大约是检测阈值的50%并且不会引起输出转换错误。如果这样的情况在发送脉冲时发生(最差的极性)，这会使接收到的脉冲从大于0.5 V下降到0.375 V。注意，该电压仍然高于解码器检测阈值0.25 V。

先前的磁通密度值对应于与ADN4650/ADN4651/ADN4652变压器给定距离的额定电流幅度。图41表明这些允许的电流幅度是频率与所选距离的函数。ADN4650/ADN4651/ADN4652非常不易受到外部场的影响，只会受非常靠近器件的极大高频电流的影响。例如：当工作频率为1 MHz时，2.29 kA电流必须放置在距离ADN4650/ADN4651/ADN4652 5 mm才会影响器件的工作。

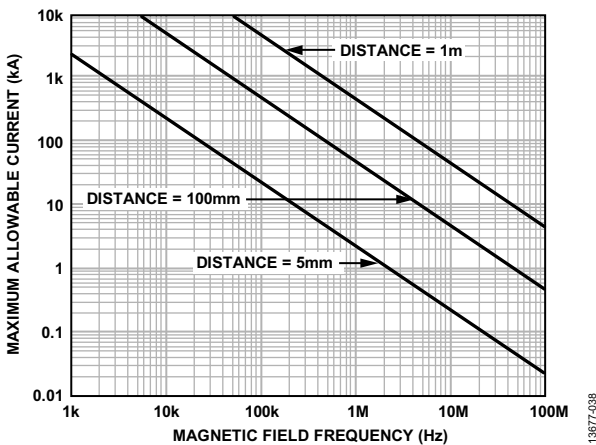


图41. 不同电流至ADN4650/ADN4651/ADN4652距离下的最大允许电流

注意在强磁场和高频率的叠加作用下，PCB走线形成的任何回路都会感应出足够大的错误的电压，以触发后续电路的阈值。注意不要使PCB结构形成环路。

## 隔离寿命

所有的隔离结构在长时间的电压作用下，最终会被破坏。绝缘衰减率由施加于绝缘层以及材料界面的电压波形的特性决定。

绝缘衰减主要有两类：暴露于空气中的表面击穿和绝缘损耗。表面击穿是一种表面跟踪现象，是系统级标准中表面爬电距离要求的主要决定因素。绝缘损耗是一种绝缘材料内部的电荷注入或位移电流引起的长期绝缘性能下降的现象。

## 表面漏电起痕

电气安全标准中定义了表面跟踪：根据工作电压、环境条件和绝缘材料属性设置的最小表面爬电距离。安全机构执行元器件的表面绝缘特性化测试，允许在不同的材料组别中对元器件进行分类。较低的材料组别等级对表面漏电起痕抵抗能力更强，因此能以较小的爬电距离提供足够长的寿命。给定工作电压和材料组别的最小爬电距离在各自的系统级标准中定义，且以隔离栅的总电压有效值、污染等级和材料组别为依据。ADN4650/ADN4651/ADN4652的材料组别和爬电距离参见表4。

## 绝缘损耗

与损耗有关的绝缘寿命由其厚度、材料属性和所施加的电压应力确定。在应用的工作电压上验证产品具有充足的使用寿命很重要。隔离器内部损耗的工作电压和漏电起痕的工作电压可能有所不同。大部分标准中指定的工作电压适用于漏电起痕。

测试与建模显示，长期性能下降的主要原因是聚酰亚胺绝缘材料中的位移电流产生逐步的破坏。绝缘材料上的应力可细分为多种类型，比如：直流应力，它造成的损耗极少，因为无位移电流；以及随交流分量时间变化的电压应力，它会导致损耗。

认证文档中的额定值通常基于60 Hz正弦应力而给出，因为这样能反映线路电压的隔离。然而，在很多实际应用中，隔离栅两端存在60 Hz交流和直流组合，如等式1所示。由于仅交流部分的应力会产生损耗，因此可求解该等式，算出交流电压有效值，如等式2所示。由于这些产品的绝缘损耗与所用的聚酰亚胺材料有关，因此通过交流电压有效值可确定产品寿命。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

或

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

其中：

$V_{RMS}$  是总工作电压有效值。

$V_{AC\ RMS}$  是工作电压的时间变化部分。

$V_{DC}$  是工作电压的直流失调。

### 计算和参数使用示例

下例常见于电源转换应用中。假设隔离一侧的线路电压为240 VAC RMS，并且隔离栅另一侧存在一个400 VDC总线电压，而且隔离材料为聚酰亚胺。为了获得确定器件爬电距离、电气间隙以及使用寿命的关键电压值，请参见图42以及下述公式。

从等式1可知，隔离栅上的工作电压为：

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\text{ V}$$

此 $V_{RMS}$ 值是考察系统标准要求的爬电距离时与材料组别和污染等级一同使用的工作电压。

为了确定寿命是否足够长，可求解工作电压的时间变量部分。使用等式2获得交流电压有效值。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\text{ V rms}$$

本例中，交流电压有效值等于240 V rms线路电压。波形不是正弦波时，此计算相关性更高。该值与表11中预期寿命的工作电压限值进行比较，小于60 Hz的正弦波，因此完全位于50年工作寿命的限制范围内。

注意，按照IEC 60664-1标准的规定，表11中的直流工作电压限值由封装爬电距离确定。针对不同的系统级标准，该值可能有所不同。

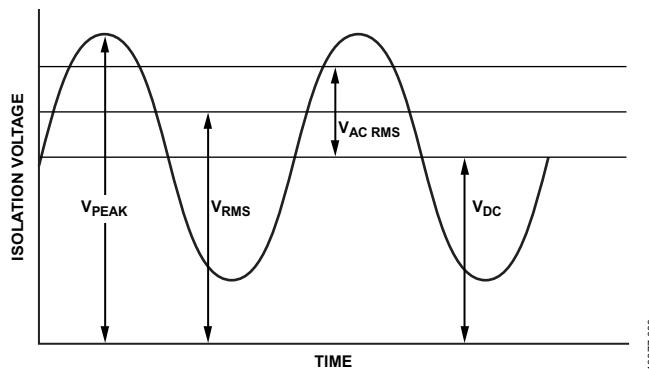


图42. 临界电压示例

## 应用信息

高速LVDS接口可以通过在元件之间、电路板之间或电缆接口处使用ADN4650/ADN4651/ADN4652而实现隔离。ADN4650/ADN4651/ADN4652提供全功能LVDS兼容输入和输出，相比其它组件的内置低规格LVDS接口具有更高的LVDS输出驱动强度。ADN4650/ADN4651/ADN4652上的LVDS兼容接收器输入还可确保完全兼容任意LVDS隔离源。

隔离式模拟前端应用提供了ADN4650/ADN4651元件之间进行LVDS接口隔离的示例。如图43所示，两个ADN4650元件隔离AD7960模数转换器(ADC)的LVDS接口，包括600 Mbps数据、300 MHz回波时钟以及5 MHz采样时钟。使用2个ADN4651元件隔离AD7960如图44所示。ADN4651加性相位抖动足够低，哪怕隔离采样时钟时也不影响ADC性能。此外，部署电流隔离可以移除现场可编程门阵列(FPGA)电路的数字和电源噪声。

较新的可编程逻辑控制器(PLC)和输入/输出模块可以跨越

LVDS背板通信，形成板间LVDS接口，如图45所示。采用菊花链型拓扑来发送和接收相邻节点，则每个节点上的两个ADN4651(或ADN4652)器件可以隔离4个LVDS通道。加入电流隔离可以让PLC或输入/输出模块具有更为鲁棒的背板接口端口。

进行电流隔离之后，哪怕LVDS端口都可当作完全外部端口使用，并且在线缆上可能引入高共模电压的恶劣环境下都可以沿线缆进行信号发送(参见图46)。ADN4651/ADN4652的低抖动特性确保可以针对电缆效应提供更多抖动预算，允许使用尽可能长的电缆。ADN4651/ADN4652提供高驱动强度和完全兼容LVDS的输出，可驱动数米长的短电缆。与之相比，另一种隔离方法会降低LVDS信号质量。可以选择适合电缆长度的数据速率；ADN4651/ADN4652不仅能以600 Mbps工作，还能以低至直流的任意数据速率工作。

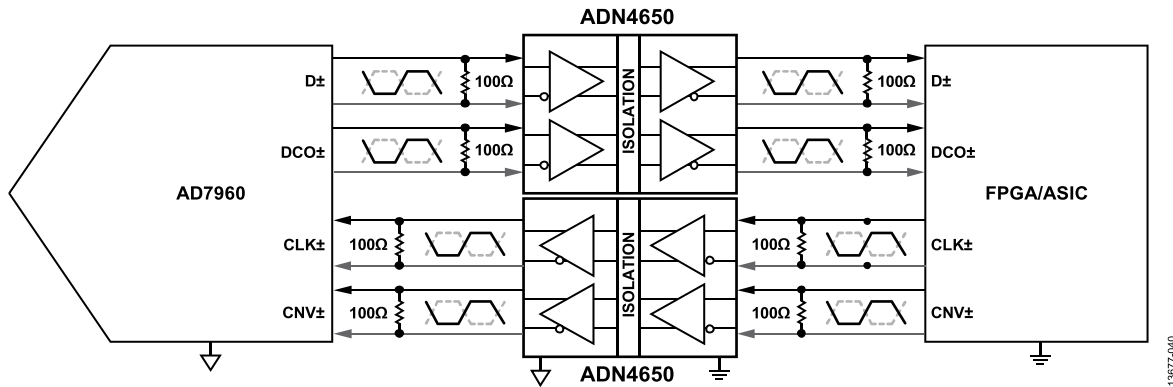


图43. 隔离式模拟前端部署示例(隔离式AD7960, 使用ADN4650)

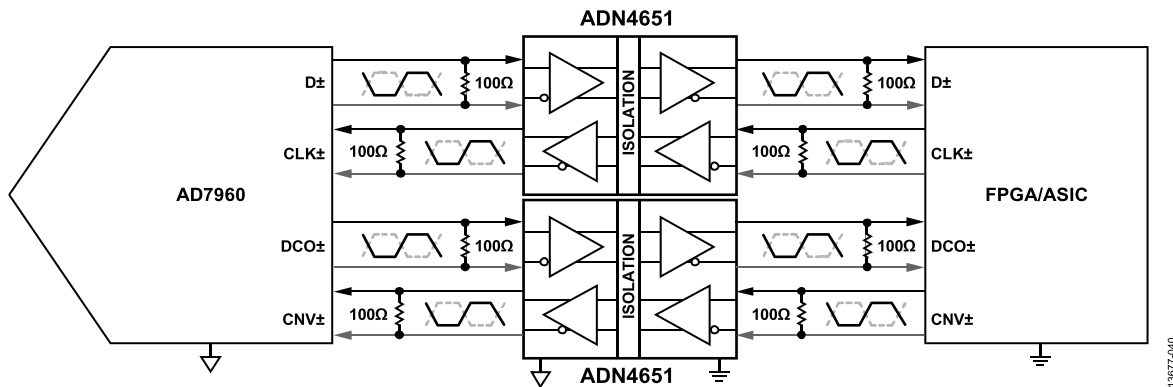


图44. 隔离式模拟前端部署示例(隔离式AD7960, 使用ADN4651)

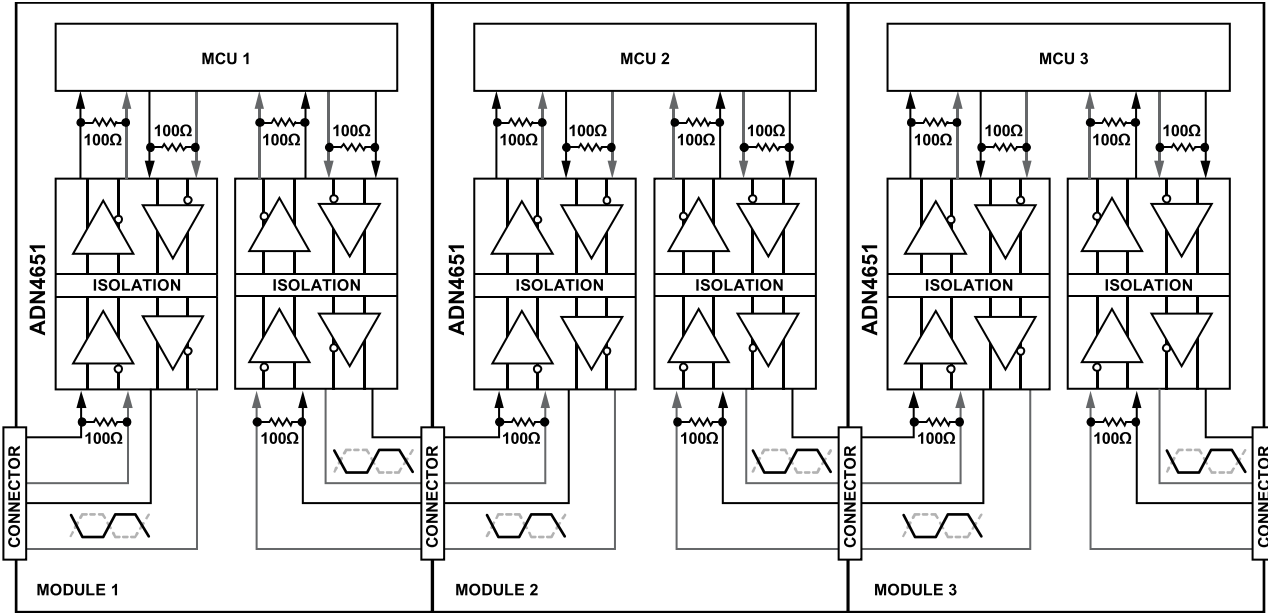


图45. PLC和输入/输出模块的隔离式背板部署示例(使用ADN4651)

13877-041

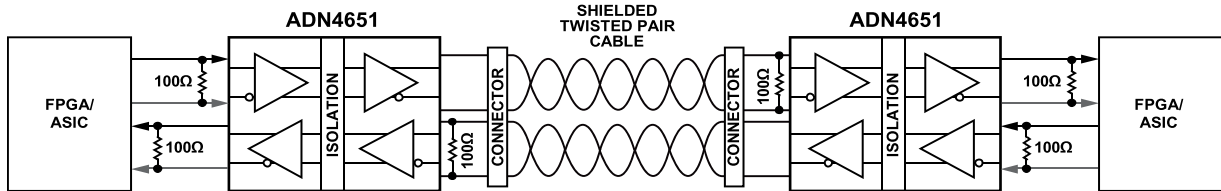
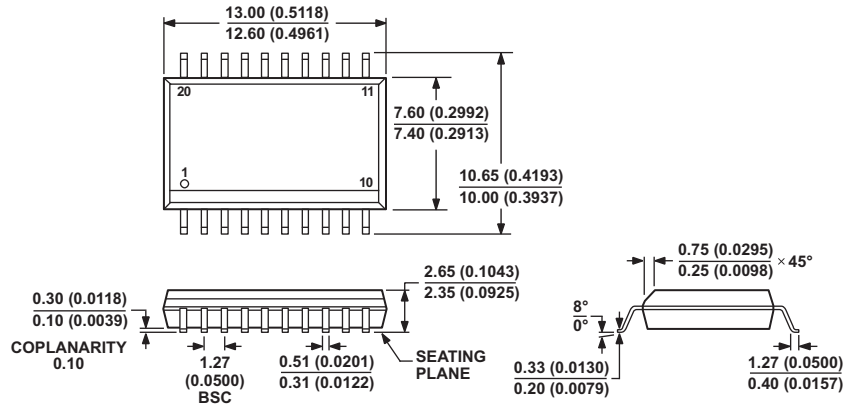


图46. 隔离式LVDS电缆应用示例(使用ADN4651)

13877-042

# ADN4650/ADN4651/ADN4652

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-013-AC  
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

06-07-2006-A

图47. 20引脚标准小型封装[SOIC\_W]  
宽体(RW-20)  
图示尺寸单位: mm和(inch)

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADN4650BRWZ	-40°C至+125°C	20引脚标准小型封装[SOIC_W]	RW-20
ADN4650BRWZ-RL7	-40°C至+125°C	20引脚标准小型封装[SOIC_W]	RW-20
ADN4651BRWZ	-40°C至+125°C	20引脚标准小型封装[SOIC_W]	RW-20
ADN4651BRWZ-RL7	-40°C至+125°C	20引脚标准小型封装[SOIC_W]	RW-20
ADN4652BRWZ	-40°C至+125°C	20引脚标准小型封装[SOIC_W]	RW-20
ADN4652BRWZ-RL7	-40°C至+125°C	20引脚标准小型封装[SOIC_W]	RW-20
EVAL-ADN4650EB1Z		ADN4650 SOIC_W评估板	RW-20
EVAL-ADN4651EB1Z		ADN4651 SOIC_W评估板	RW-20
EVAL-ADN4652EB1Z		ADN4652 SOIC_W评估板	RW-20

<sup>1</sup> Z = 符合RoHS标准的器件。