



安路科技 SALSWIFT[®]1 系列 FPGA

数据手册

上海安路信息科技股份有限公司

DS800 (v1.1.2) 2023 年 4 月



目 录

目 录	I
1 简介	1
1.1 SALSWIFT1（以下简称为 SF1）系列器件特性	1
1.2 器件介绍	3
2 SF1 架构介绍	4
2.1 PFB 模块	5
2.1.1 SLICE	5
2.1.2 PFB 操作模式	7
2.1.3 寄存器	8
2.2 互连（Routing）	9
2.3 嵌入式存储器模块（ERAM）	9
2.3.1 简介	9
2.3.2 RAM 存储器模式	12
2.4 时钟资源	23
2.4.1 全局时钟	23
2.4.2 输入输出时钟	25
2.4.3 快速时钟	26
2.5 锁相环（PLL）	27
2.5.1 简介	27
2.5.2 时钟反馈模式	28
2.5.3 PLL 输入时钟源	30
2.6 数字信号处理（DSP）	31
2.6.1 体系结构	31



2.6.2 操作模式	33
2.7 输入输出逻辑单元 (IOL)	35
2.7.1 输入寄存器逻辑	35
2.7.2 输出寄存器逻辑	38
2.8 输入输出缓冲器 (IOB)	42
2.8.1 IOB 简介	42
2.8.2 IO 分组	44
2.8.3 兼容 5V 输入	44
2.9 SF1 FPGA 配置说明	48
2.9.1 配置模式	48
2.9.2 配置流程	49
2.9.3 MSPI 配置模式	50
2.9.4 从动串行配置模式	51
2.9.5 从动并行配置模式	53
2.9.6 JTAG 配置模式	54
2.9.7 IEEE 1149.1 边界扫描测试	55
2.9.8 DUAL BOOT 功能	55
2.9.9 MULT BOOT 功能	56
2.9.10 FPGA I/O 引脚在配置阶段的设置	56
2.9.11 FPGA I/O 引脚在配置阶段的状态	56
2.9.12 DNA 安全功能	57
2.10 RISC-V MCU 模块	59
2.10.1 系统结构	59
2.11 PSRAM	64
2.11.1 简介	64
2.11.2 端口说明	64
2.12 MIPI DSI Controller 简介	67



2.12.1 简介	67
2.12.2 性能列表	67
2.12.3 配置接口说明	68
2.12.4 数据接口管脚说明	69
2.13 DSC DECODE 模块	71
2.13.1 系统结构	71
2.13.2 端口说明	71
3 直流交流特性	74
3.1 直流电气特性	74
3.1.1 最大绝对额定值	74
3.1.2 推荐基本操作条件	76
3.1.3 基本供电要求	77
3.1.4 静态供电电流	77
3.1.5 热插拔规格	78
3.1.6 上电复位电压阈值	78
3.1.7 I/O 管脚电容	79
3.1.8 I/O 直流电气特性	79
3.1.9 单端 I/O 直流电学特性	79
3.1.10 差分 I/O 电学特性	80
3.1.11 MIPI DPHY 直流电气特性	81
3.2 交流电气特性	83
3.2.1 时钟性能	83
3.2.2 嵌入数字信号处理模块 (DSP) 规格	83
3.2.3 锁相环 (PLL) 规格	83
3.2.4 存储器模块 (ERAM) 规格	84
3.2.5 高速 I/O 接口性能	84



3.2.6 配置模块	85
3.2.7 MIPI DPHY	85
4 引脚和封装	87
4.1 引脚定义和规则	87
4.2 IO 命名规则	87
4.3 caBGA81 引脚信息.....	88
4.4 caBGA121 引脚信息.....	90
4.5 封装信息	92
4.5.1 csfBGA81 封装规格.....	92
4.5.2 caBGA121 封装规格.....	93
5 订购信息	94
6 版本信息	96
免责声明	97



1 简介

1.1 SALSWIFT®1（以下简称为 SF1）系列器件特性

■ 灵活的逻辑结构

- LUT4/LUT5 混合结构，等效 LUT4 逻辑规模为 5824

最大用户 IO 数量为 59 个

■ 支持分布式和嵌入式存储器

- 最大支持 45.5Kbits 分布存储器
- 最大支持 234Kbits 嵌入式存储器
- 块存储器容量为 9Kbits，可配置作为真双口，支持多种组合模式
- 自带专用 FIFO 控制逻辑

■ 可配置逻辑模块 (PLBs)

- 优化的 LUT4/LUT5 组合设计
- 双端口分布式存储器
- 支持算术逻辑运算
- 快速进位链逻辑

■ 源同步输入/输出接口

- 输入/输出单元包含 DDR 寄存器，支持 DDRx1、DDRx2 模式
- 专用 8:1/4:1/2:1 适配逻辑

■ 高性能，灵活的输入/输出缓冲器

- 可配置支持以下单端标准
- LVCMOS (3.3/2.5/1.8/1.5/1.2V)
- 可配置支持以下差分标准
- LVDS (3.3/2.5/1.8V)
- 支持 True LVDS 输出和输入，差分输入

带片内 100 欧姆端接电阻

- 所有 IO 支持热插拔
- 可配置弱上拉/下拉模式

■ MIPI 硬核控制器

- 2 路 MIPI D-PHY，最大支持 8 lane 模式
- 2.2Gbps per line MIPI D-PHY
- 集成 MIPI DSI 硬核控制器
- 集成 DPI 接口

■ 存储器硬核控制器

- 内置 64Mb/128Mb 大容量存储器
- 集成存储器的硬核控制器
- 存储器和控制器最高支持 200MHz

■ RISC_V MCU 硬核

- 支持 RV32IMCA 指令集
- 三级流水设计，最大主频 160MHz
- 支持机器模式和用户模式，支持 PMP (Physical Memory Protection)
- 快速的中断响应
- 拥有 8KB icache，8KB dcache 和 8KB 的 DLM (data local memory)
- 通用外设 SPIM、I2CM、UART、GPIO
- 通过 AHB 总线访问 Fabric 的软核逻辑
- 支持功能丰富的软件开发调试环境

■ DSC DECODE

- 支持 8/10 bit per component



- 支持 APB 接口配置寄存器
 - 支持 YUV422
 - 支持 1:2、1:3 解压缩
 - 最大支持 1440x3200 60Hz 分辨率
- 时钟资源
- 16 路全局时钟
 - 内置高精度环形振荡器
 - 每 bank 2 路针对高速 I/O 接口设计的 IOCLK
 - 优化全局时钟的快速时钟
 - 2 个 PLLs 用于频率综合
 - 7 路时钟输出
 - 分频系数 1 到 128
 - 支持 5 路时钟输出级联
 - 动态相位选择
- 动态参数配置
- 配置模式
- 从动串行 (Slave Serial)
 - 主动 SPI (x1/x2/x4)
 - 从动并行 x8 (Slave Parallel)
 - JTAG 模式
- BSCAN
- 兼容 IEEE-1149.1
- 增强安全设计保护
- 每个芯片拥有唯一的 64 位 DNA
- 丰富封装形式
- csfBGA81/0.4mm pitch/4.5mmx4.5mm
 - caBGA121/0.8mm pitch/9mmx9mm

表 1-1 SF1 器件资源列表

Device	LUT4s	DFFs	Dis-RAM (Kbits)	ERAM		DSP	PLL	MCU	DSI	DSC	MAX user IO (个)
				9K	Total (Kbits)						
SF1	5824	5824	46	26	234	10	2	1	2	1	59

表 1-2 SF1 器件封装类型

Device	Package			Hard IP				User IO /LVDS (个/对)
	Type	Size	Pitch	DSI	PSRAM ¹	MCU	DSC	
SF1S60	csfBGA81	4.5x4.5mm	0.4mm	2	2	1	1	31/15
SF1S60	caBGA121	9x9mm	0.8mm	2	2	1	1	59/29
SF1N60	csfBGA81	4.5x4.5mm	0.4mm	2	2	1	-	31/15

注 1: csfBGA81 封装, 每片 PSRAM 容量为 32Mbits; caBGA121 封装器件, 每片 PSRAM 容量为 64Mbits。



1.2 器件介绍

随着科技的发展,5G 通信的普及,现有的数字产品已经不能满足行业日益增长的带宽和速度需求,设计出具有更高处理带宽、更广应用范围、更低使用功耗的芯片成为芯片厂商的追求。

安路科技 SF1 系列 FPGA 采用成熟的 55nm 工艺、包含 6k 逻辑单元、CPU 硬核、MIPI 硬核、大容量存储资源及其硬核控制器,定位低成本、高带宽的视频数据处理可编程逻辑市场。

SF1 能够在保持低功耗的前提下,通过内置两个四通道 MIPI 硬核提供高达 17.6Gbps 带宽的 MIPI 数据收发能力,同时支持 4.5mmx4.5mm 的超小封装。SF1 能够满足视频监控、消费电子等尺寸、重量、功耗和成本敏感型市场,给开发人员提供更优的解决方案。

安路科技提供丰富的设计工具帮助用户有效地利用 SF1 的各种硬 IP 实现复杂系统设计。业界领先的综合和布局布线工具,配合丰富的 IP 资源,简化用户调用步骤,降低用户系统调试难度,为用户设计高质量产品提供有力保障。

2 SF1 架构介绍

SF1 系列器件由查找表逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在四边。嵌入式块存储单元（ERAM9K）和数据信号处理模块（DSP）嵌在 PLB 中间。具体器件结构如下图所示。

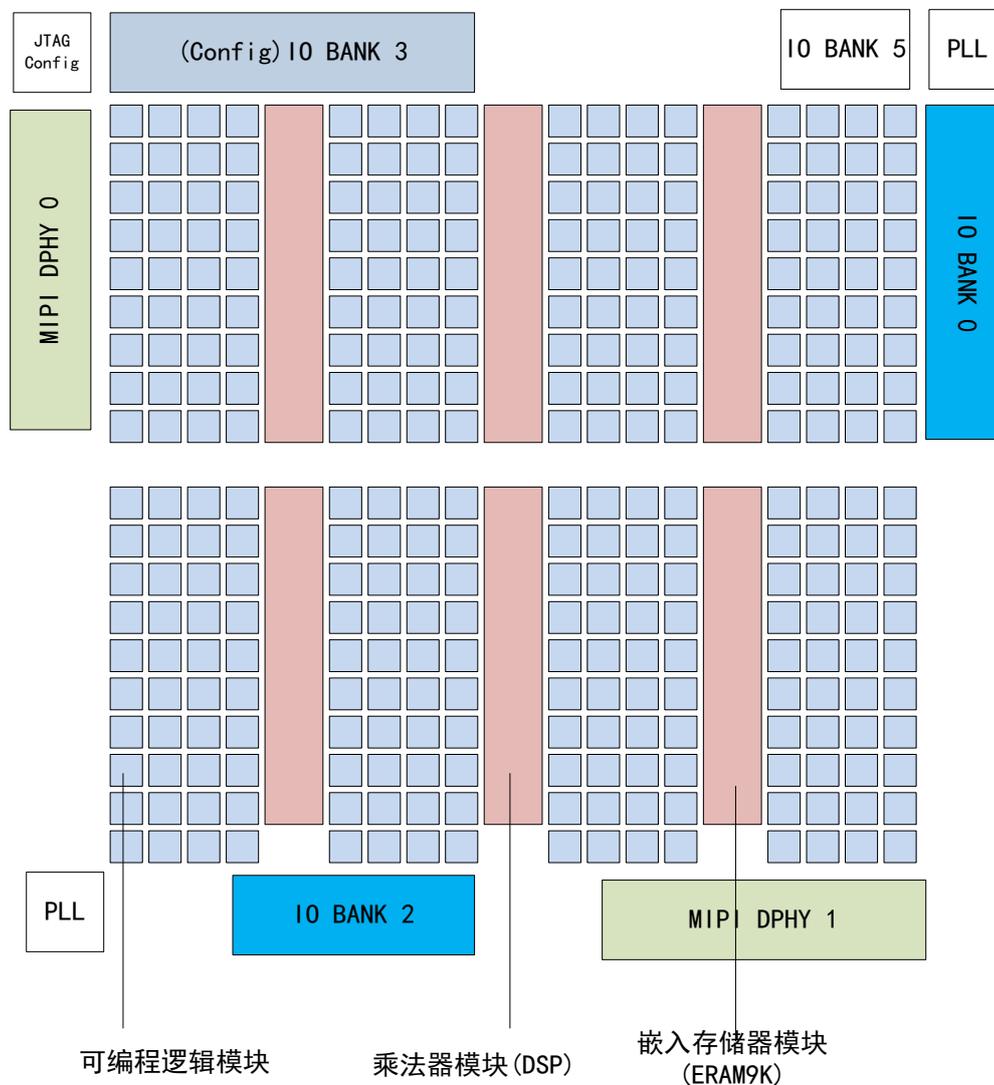


图 2-1 SF1 器件架构图

查找表逻辑模块分为两种，逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）。两种模块均支持逻辑算术功能，不同的是 MSLICE 支持分布式 RAM 和 ROM 功能。逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）均经过设计优化，便于用户快速有效地实现复杂设计。

SF1 系列器件包含多列嵌入式存储器模块（ERAM），存储器模块规模为 9K，支持快速数据访问。每一个存储模块可独立配置为 1-18 位宽的单口或双口应用。

SF1 的输入输出缓冲器（I/O Buffer）支持单端和双端的多种电平标准。BANK0/2 的 I/O 支持 TRUE LVDS 发送。

SF1 系列内部嵌有 2 个多功能 PLL 模块，位于器件的左上角和右上角，有专用的时钟线连接到 PLL



输入。PLL 具有对时钟分频/倍频/移相等功能。

2.1 PFB 模块

可编程逻辑块 (PLB) 按照行/列规则排布成二维阵列, 每个 PLB 包括可编程互连 (Routing) 和可编程功能块 (Programmable Functional Block, PFB)。PFB 是 FPGA 的可编程功能核心。SF1 器件内部 PFB 可实现: 逻辑, 算术, 分布式 RAM (distribute RAM), ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE, 编号 0~3。SLICE 0/1 为 MSLICE 类型, SLICE 2/3 为 LSLICE 类型。

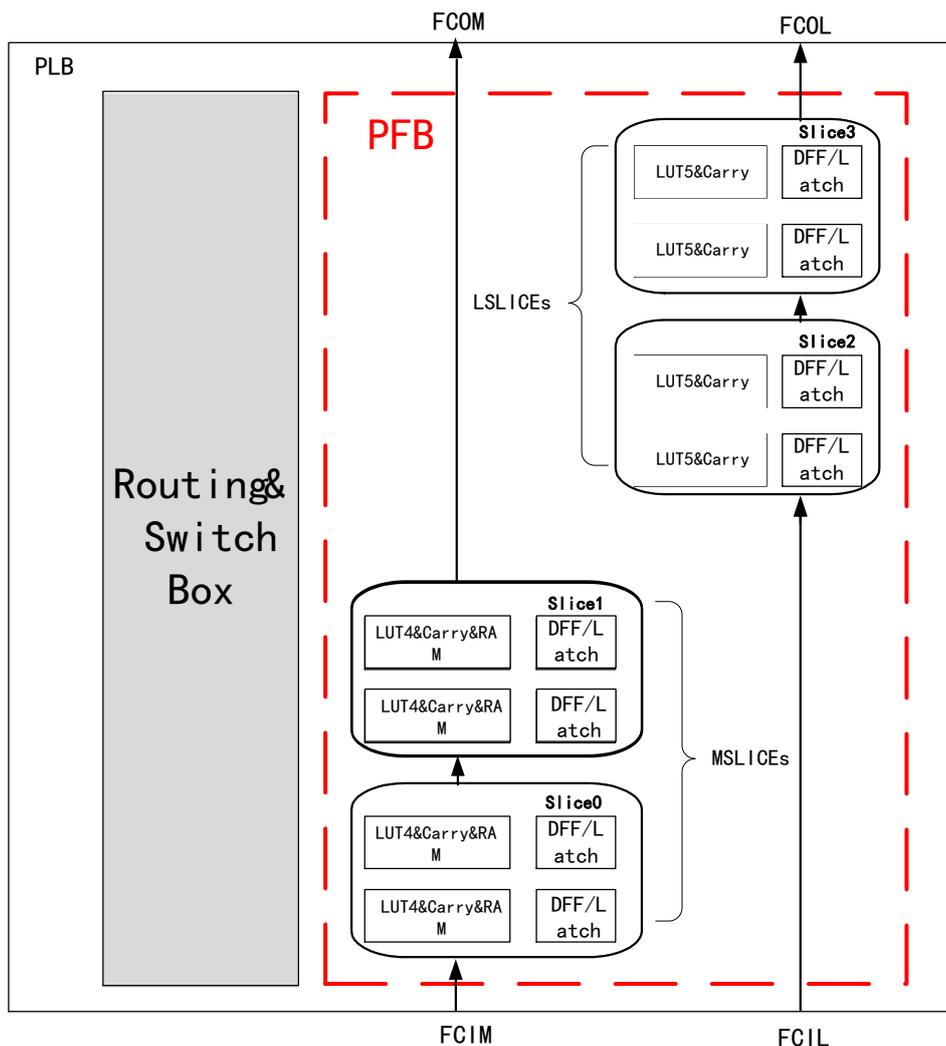


图 2-1-1 可编程功能块 (PFB) 结构图

2.1.1 SLICE

SF1 PFB 内包含两种 SLICE: MSLICE 和 LSLICE。

a) MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链, MSLICE 额外可配置成基于 LUT 的分布式 RAM (distribute RAM) 功能。PFB 内的 SLICE 0/1 为 MSLICE 类型, 可组合配置成为 16x4 的 RAM。MSLICE

内部逻辑可实现 LUT4s 间的连接，可以实现输入数大于 4 的函数，如 LUT5。两个 MSLICE 组合可实现 LUT6。

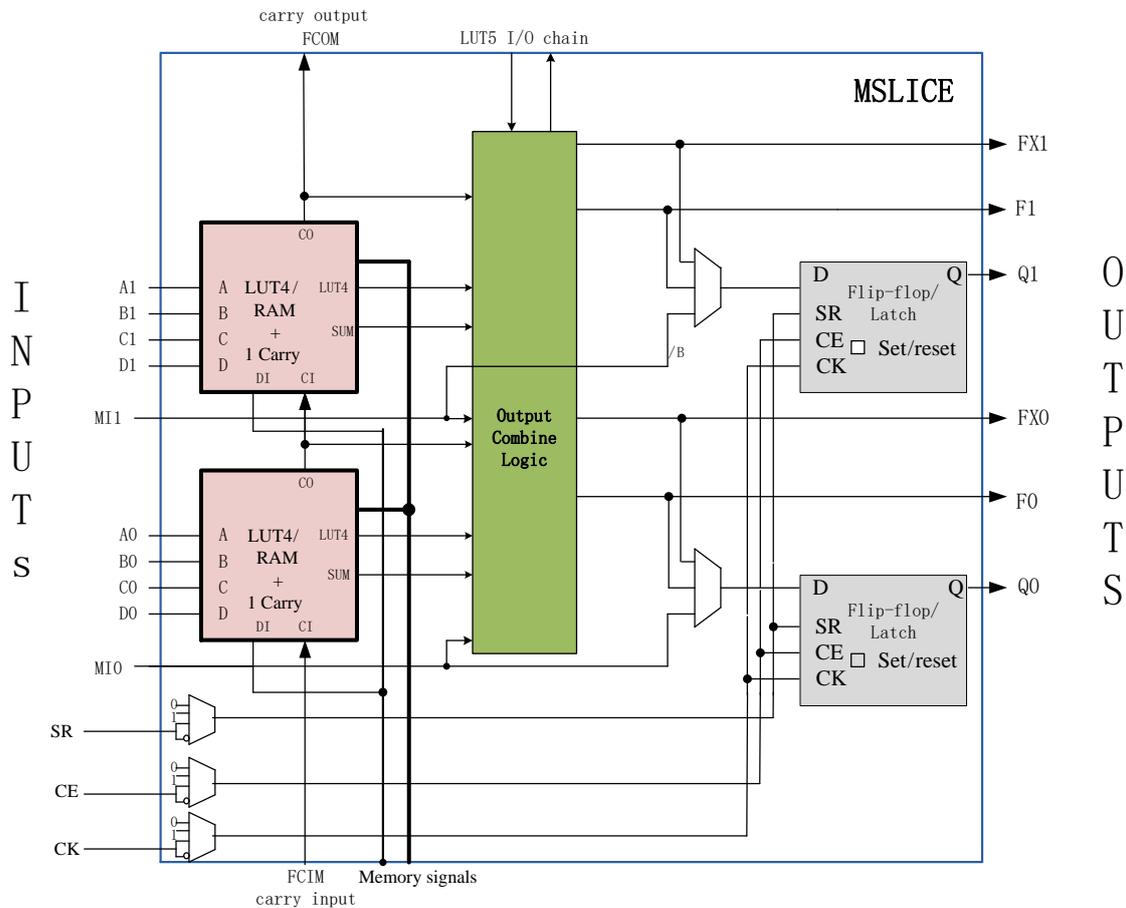


图 2-1-2 MSLICE 结构图

如图 2-1-2 所示，MSLICE 内部有两个 4 输入查找表（LUT4），并带有 RAM 写入译码器，结合 PFB 内部的分布式 RAM 控制逻辑，每个 LUT4 可实现 16x1 bits RAM 存储器，2 个 MSLICE 配合一个 RAM 控制器实现 16x4 的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入（FCIM）可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法，并实现快速进/借位输出（FCOM）。

b) LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2/3 为 LSLICE 类型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5，LUT6。两个 LSLICE 组合可实现 LUT7。

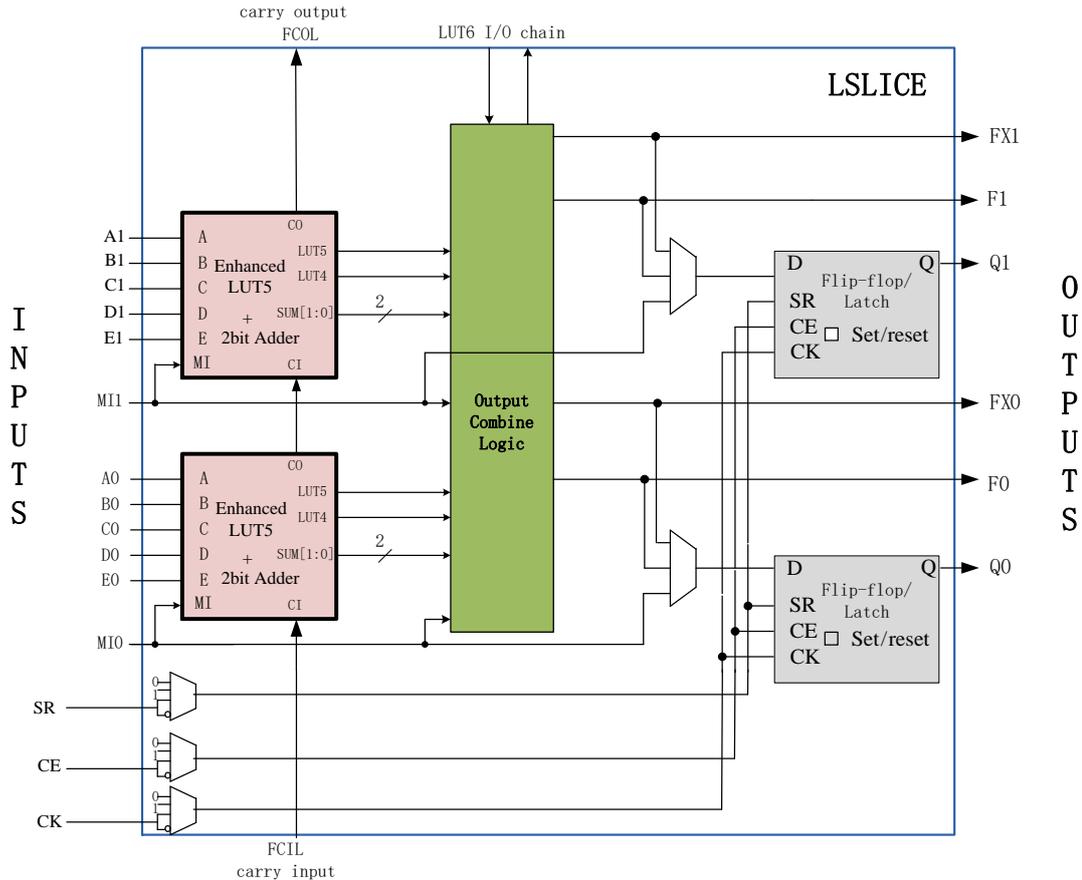


图 2-1-3 LSLICE 结构图

如图 2-1-3 所示，LSLICE 内部有 4 个 4 输入查找表（LUT4），以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4；2 个 LUT4 + 1 个 LUT5；2 个 LUT5；一个 LUT6 等。每个增强型 LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出（FCOL）。

MSLICE 和 LSLICE 内部寄存器相同，可配置成 DFF 或者 LATCH。

2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

a) 逻辑模式

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的增强型 LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。



表 2-1-1 常见逻辑实现表

LUT5	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7	-	2 LSLICE

b) 算术模式

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

c) 分布式 RAM 模式

MSLICE 可配置成此模式，两个 MSLICE: SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM（一口写/一口读）。

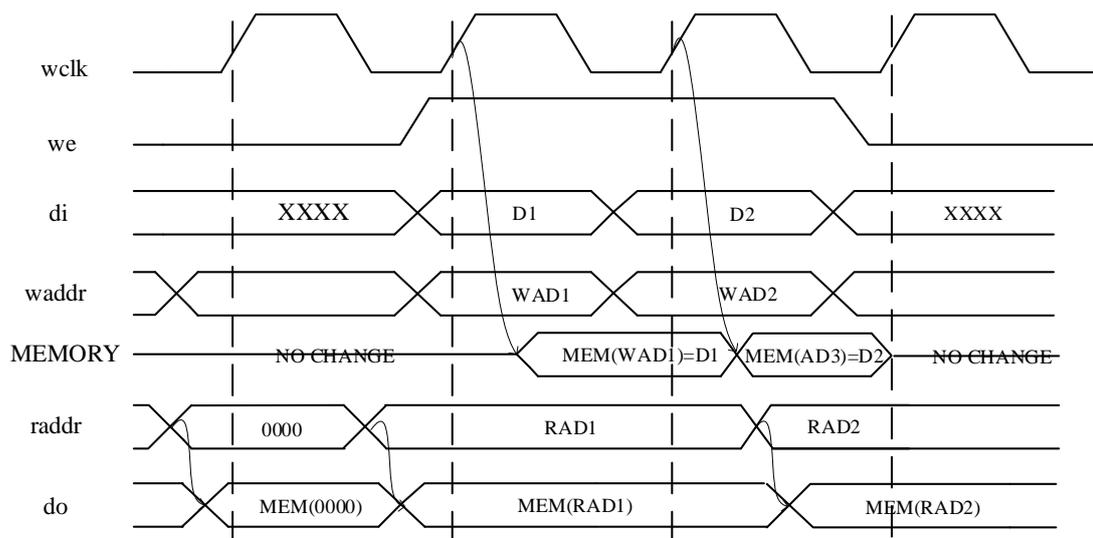


图 2-1-4 Disram 同步写入异步读出时序图

d) ROM 模式

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器（DFF）或电平使能锁存器（LATCH）

- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

2.2 互连 (Routing)

可编程互连实现 FPGA 内部各个功能块之间的信号传输。SF1 系列器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。SF1 系列互连线全部带有缓冲器，从而实现高速信号传输和可靠的信号完整性。

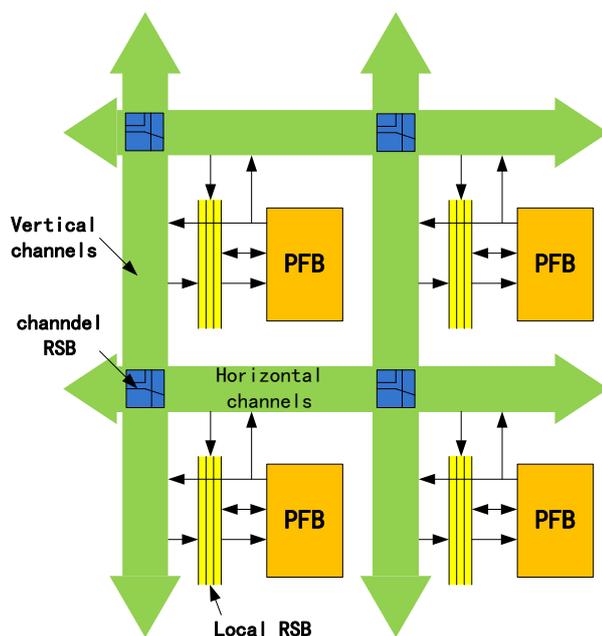


图 2-2-1 SF1 互联架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB (routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

2.3 嵌入式存储器模块 (ERAM)

2.3.1 简介

ERAM9K 每块容量 9Kbits，在芯片中按列排布，分布在 PFB 的阵列中。

ERAM9K 可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM（也称为伪双口）



■FIFO（ERAM9K 内嵌有硬件 FIFO 控制器）

ERAM9K 模块支持的功能特色有：

■9216（9K）bits/每块

■A/B 口时钟独立

■可单独配置 A/B 口数据位宽，真双口从 x1 到 x9，支持 x18 简单双口（一写一读）

■9 或 18 位写操作时带有字节使能（Byte Enable）控制

■输出锁存器可选择（支持 1 级流水线）

■支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 ERAM9K 数据初始化）

■支持多种写操作模式。可选择只写（Normal），先读后写（Read before Write），写穿通（Write through）三种模式。

表 2-3-1 ERAM 9K 特色

类别	特性
容量	9K
配置(深度 x 位宽)	8192 x 1, 4096 x 2, 2048 x 4, 1024 x 8 或 9, 512 x 16 或 18
奇偶位 (Parity bits)	8+1, 16+2
字节使能 (Byte enable)	有, 可选择
输入地址/数据寄存器	有
单口模式 (Single-port mode)	支持
简单双口模式 (Simple dual-port mode)	支持
真双口模式 (True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有, 可选择
独立数据输出寄存器使能	有
Read-during-write	输出旧数据 (read before write) 输出写数据 (write through)
工作前 RAM 初始化	支持

■ 字节使能 (Byte Enable)

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 `datain[15:8]` 和 `datain[7:0]`。

■ 写操作时并行读操作 (Read-during-Write)



SF1 系列的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 rdw 选择，输出数据保持不变（No change）。

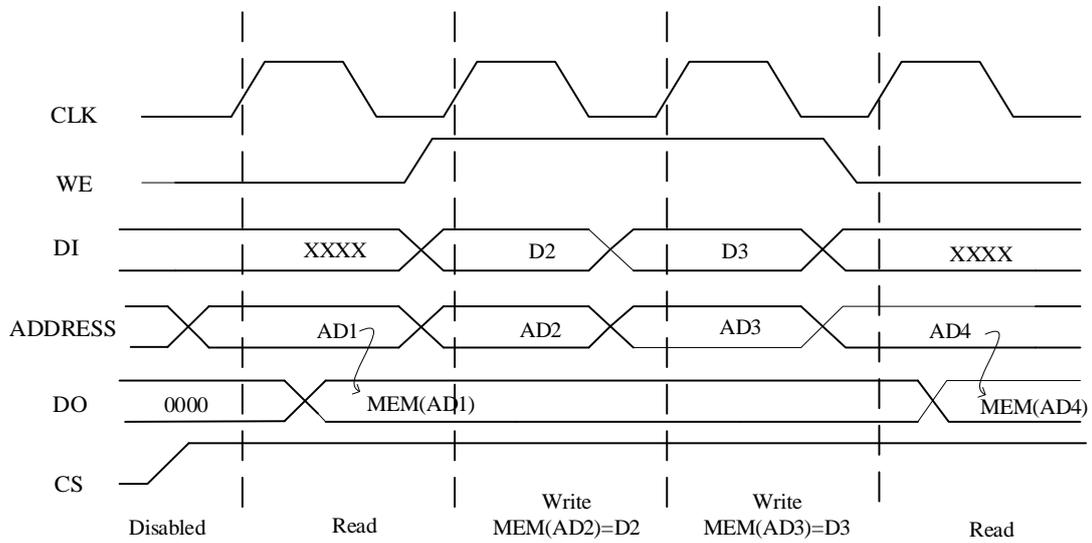


图 2-3-1 No change 模式波形

RDW 模式下用户有两种选择：读出旧数据 (Read Before Write)；读出新数据即正要写入的数据 (Write Through)。

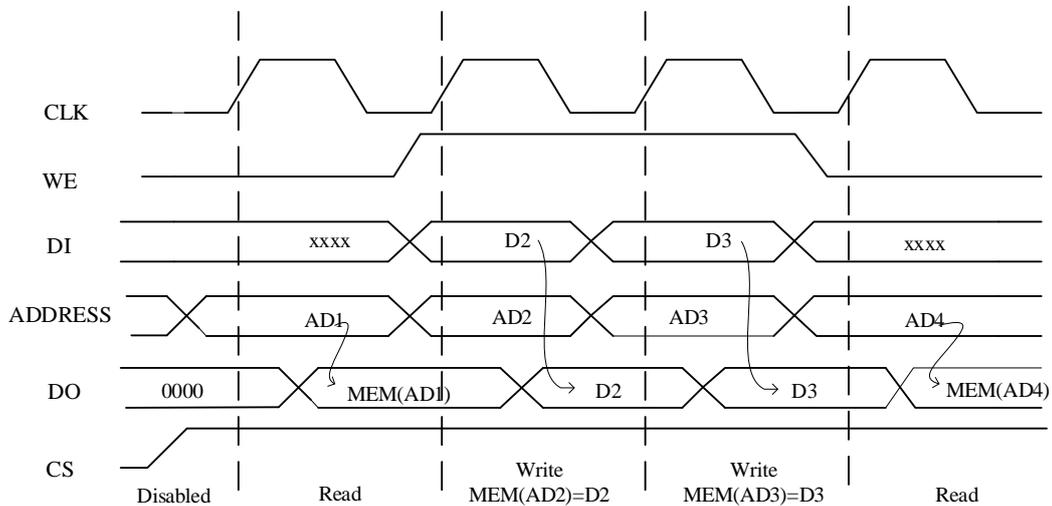


图 2-3-2 Write Through 模式波形

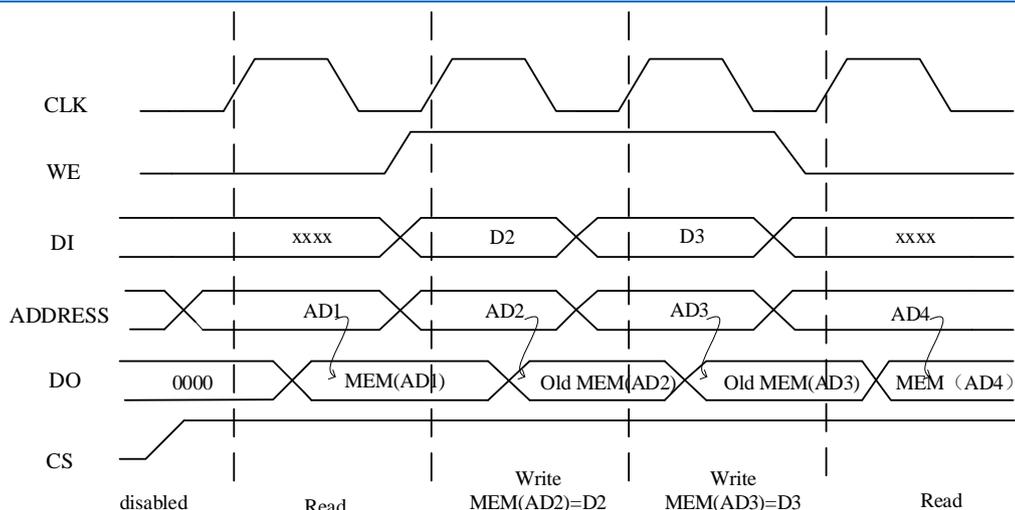


图 2-3-3 Read Before Write 模式波形

SF1 ERAM 内部采用 8T-SRAM 真双口结构，当用户从 2 个口访问同一地址 SRAM 空间时会发生冲突，用户需要注意以下几点：

1. 当访问同一地址空间时，若双口同时为读操作，双口可以完成正常读操作，SRAM 内容正常，不会被破坏。
2. 当访问同一地址空间时，若一口为写、另一口为读操作，写口可以正常写入数据，读口读操作失败，输出数据未知；SRAM 内容不会被破坏，为写口写入值。
3. 当访问同一地址空间时，若一口为写、另一口同样为写操作，双口写操作同时失败，SRAM 器件内数据有损坏风险。

2.3.2 RAM 存储器模式

ERAM9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 ERAM9K 用户端口名称和设置略有不同。

ERAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式同步 RAM 操作和 ROM 操作。

2.3.2.1 RAM 存储器模式下的端口信号

ERAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

- 片选信号（ChipSelect）
- 时钟使能（Clock Enable）
- 输入/输出寄存器复位控制信号（RST）
- 写/读操作（WE）
- 数据输出寄存器锁存使能（OCE）



■字节使能（Byte Enable[1:0]）。

表 2-3-2 控制逻辑信号表

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

ERAM9K 的端口如下表：

表 2-3-3 RAM 模式下的端口信号

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入，简单双口 18 位输入端口模式时作为低 9 位数据输入
addra[12:0]	输入	A 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。在 18 位模式时，addra[1:0]复用为字节使能信号 Byte Enable[1:0]。
doa[8:0]	输出	A 端口数据输出，简单双口 18 位输出端口模式时作为低 9 位数据输出
clka	输入	A 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输入地址/数据端口时钟
rsta	输入	A 端口复位信号，默认高有效（可反向），可配置同步/异步复位
cea	输入	A 端口时钟有效控制信号，默认高有效（可反向）。
wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位写入模式时固定为 1。
csa[2:0]	输入	A 端口 3 位片选信号（可反向），csa[2:0]=3' b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oce	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[8:0]	输入	B 端口数据输入，18 位输入端口模式时作为高 9 位数据输入
addrb[12:0]	输入	B 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式
dob[8:0]	输出	B 端口数据输出，18 位输出端口模式时作为高 9 位数据输入
clkb	输入	B 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输出地址/数据端口时钟
rstb	输入	B 端口复位信号，默认高有效（可反向），可配置同步/异步复位
ceb	输入	B 端口时钟有效控制信号，默认高有效（可反向）。
web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位读出模式时固定为 0。
csb[2:0]	输入	B 端口 3 位片选信号（可反向），csb[2:0]=3' b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
ocb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

■ 多位片选信号逻辑说明：

ERAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示（CSA，CSB 在 RAM 模式/CSW，CSR 在 FIFO 模式）：

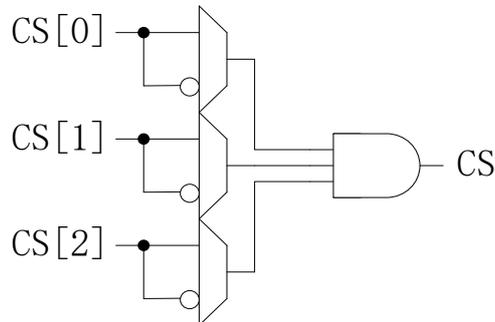


图 2-3-4 CS 逻辑控制

利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对 2~8 块 RAM 进行深度扩展。

■ 18 位模式时的字节使能（Byte Enable）：

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能（Byte Enable[1:0]）信号分别对应写入数据的 `datain[15:8]` 和 `datain[7:0]`。例如，`Byte Enable[1:0]==00`，两字节都不会被写入；`Byte Enable[1:0]==01`，低位字节写入（`dia`）。在 18 位模式时，字节使能 `Byte Enable[1:0]` 信号和端口 `addra[1:0]` 复用。

■ 写操作时并行读操作（Read-during-Write）

SF1 系列的 ERAM9K 支持同端口的 `read-during-write`。`read-during-write` 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式（`Normal`），输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据（`Read Before Write`）；读出新数据（`Write Through`）。

2.3.2.2 RAM 存储器模式下的常见配置

a) 单口模式（`Single-Port Mode`）

单口模式支持对非同时发生的对同一地址的读或写操作。ERAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 ERAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

ERAM9K 在单口模式下支持的位宽

- 8192 x 1（独立的 A 口或 B 口实现）
- 4096 x 2（独立的 A 口或 B 口实现）
- 2048 x 4（独立的 A 口或 B 口实现）
- 1024 x 8, 1024 x 9（独立的 A 口或 B 口实现）



- 512 x 16, 512 x 18 (A 口 B 口联合实现)

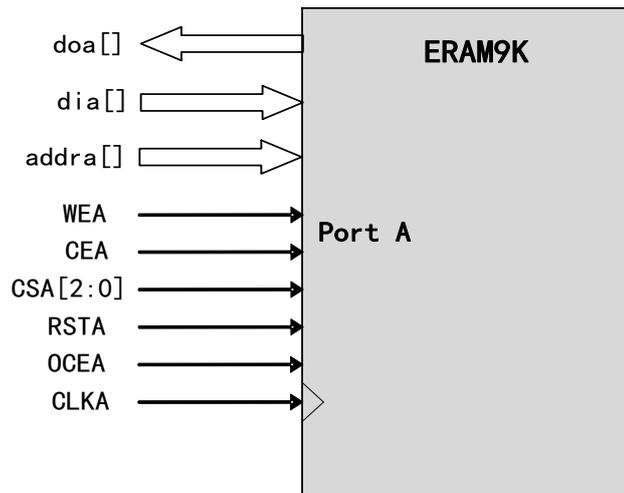


图 2-3-5 利用 A 口实现的 9 位宽（及以下）单口 RAM

b) 简单双口模式 (Simple Dual-Port Mode)

当用一块 ERAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0] 作为高 9 位数据输入，DIA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0] 作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-3-4 9/18 位简单双口模式时数据端口连接关系

模式	ERAM9K RAM 端口	用户端口
W=18 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
R=18 位	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W<=9 位	DIA[]	wdata[]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W=18 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	rdata[]

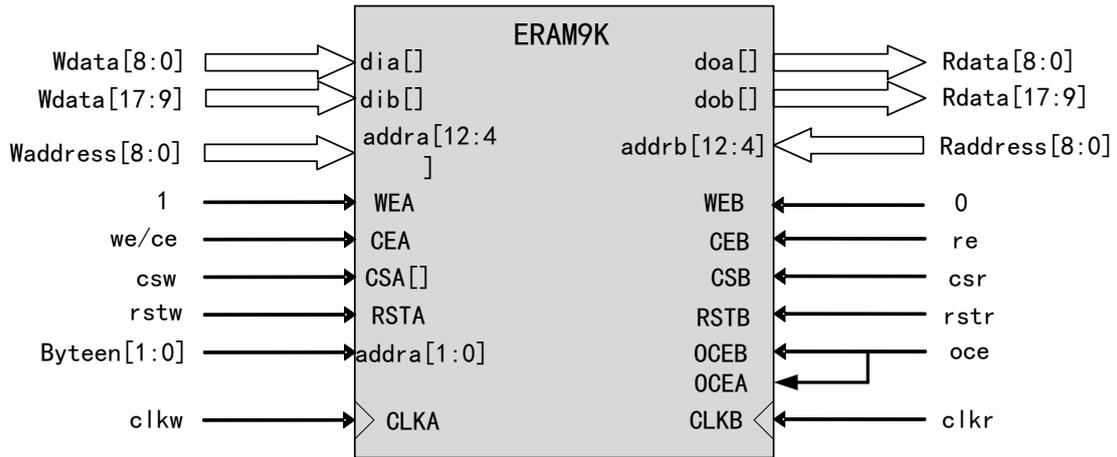


图 2-3-6 简单双口 18 位写/18 位读端口连接

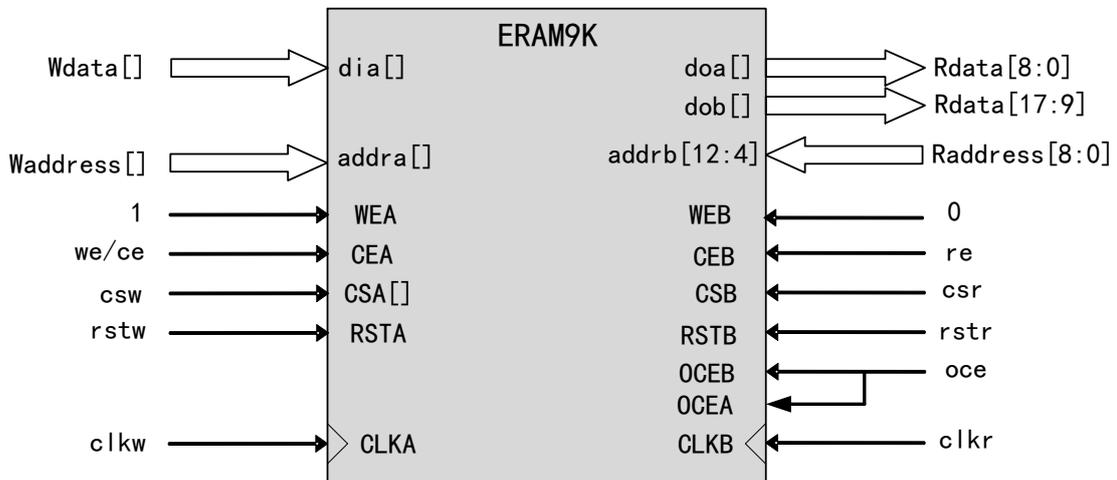


图 2-3-7 简单双口模式 <=9 位写/18 位读端口连接

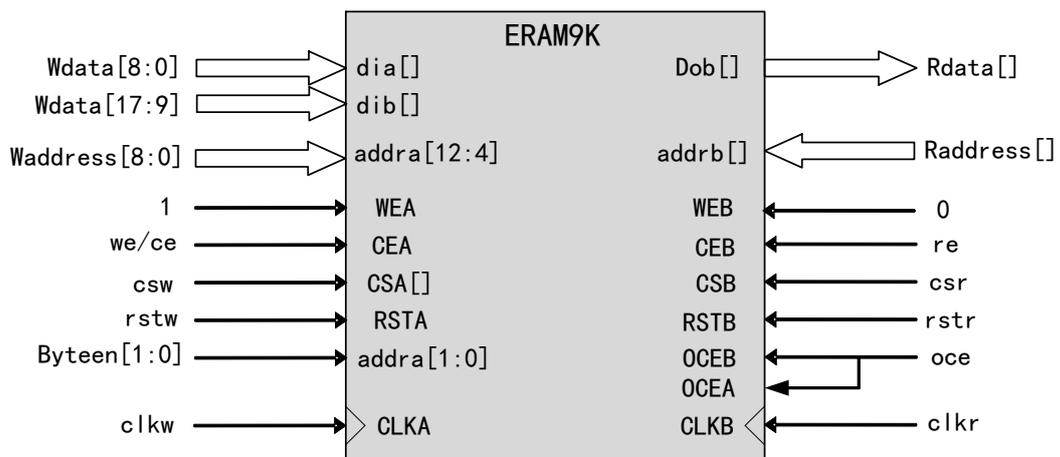


图 2-3-8 简单双口模式 18 位写/<=9 位读端口连接

ERAM9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。



表 2-3-5 简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	✓	✓	✓	✓	✓		
4Kx2	✓	✓	✓	✓	✓		
2Kx4	✓	✓	✓	✓	✓		
1Kx8	✓	✓	✓	✓	✓		
512x16	✓	✓	✓	✓	✓		
1Kx9						✓	✓
512x18						✓	✓

表 2-3-6 简单双口模式下支持的混合端口位宽配置

端口宽度	地址位宽度	DOB[8]	DOA[8]	最低 4 位地址 addr[3:0] 值对应的 WORD 内部数据位															
18	9	0		0															
9	10	1	0	1								0							
4	11	X	X	3				2				1				0			
2	12	X	X	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
1	13	X	X	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
18/16 位 WORD 内部数据位		17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

c) 真双口模式 (True Dual-Port Mode)

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

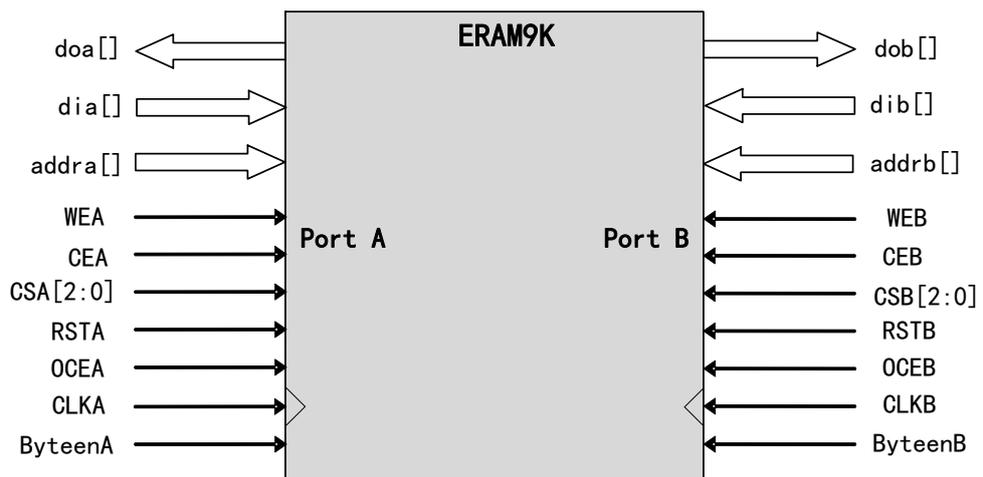


图 2-3-9 位宽≤9 位时 A/B 双口 RAM



表 2-3-7 真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	
1Kx8	√	√	√	√	
1Kx9					√

d) ROM 模式

ERAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 ERAM9K 中。初始化值可以在 IP 生成时用 MIF 文件设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

2.3.2.3 FIFO 模式

ERAM9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 ERAM9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。

表 2-3-8 FIFO 模式下的端口信号

输入端口名	方向	说明
dia[8:0]	输入	FIFO 数据输入，16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。
clkw	输入	FIFO 写端口时钟输入，默认上升沿有效（可反向）
rst	输入	FIFO 内部写指针/读指针复位信号（可反向）
we	输入	FIFO 写使能，1 为写入操作，0 无操作。
csw[2:0]	输入	FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。
输出端口名	方向	说明
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。
dob[8:0]	输出	≤9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。
clkr	输入	读端口时钟输入，默认上升沿有效（可反向）
rprst	输入	FIFO 读指针复位信号
re	输入	FIFO 读使能，1 为读操作，0 无操作。
csr[2:0]	输入	FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。
oce_a	输入	doa 端口数据寄存器时钟使能，默认高有效（可反向）。只有 18 位输出端口模式并且当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
oce_b	输入	dob 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。



FIFO 标志名	方向	说明
empty_flag	输出	FIFO 读空标志, 和 clkr 同步。
aempty_flag	输出	FIFO 几乎读空标志, 和 clkr 同步。相对读空提前量由 AE_POINT 参数决定。
full_flag	输出	FIFO 满标志, 和 clkw 同步。FIFO 满容量由 FULL_POINTER 参数决定。
afull_flag	输出	FIFO 几乎满标志, 和 clkw 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。

表 2-3-9 FIFO 模式支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

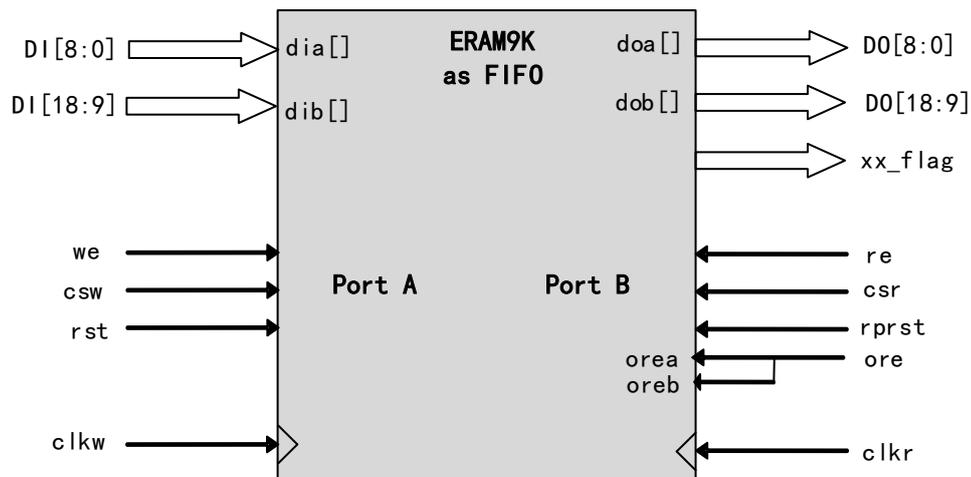


图 2-3-10 18 位进/18 位出 FIFO 模式

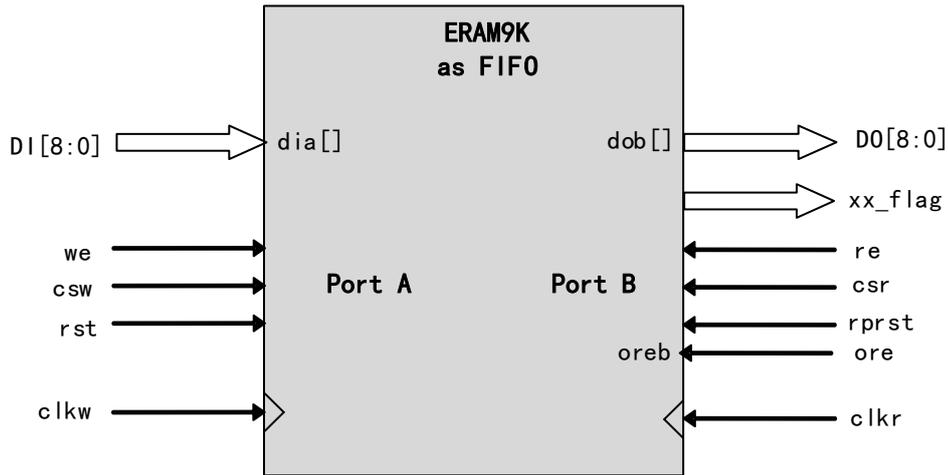


图 2-3-11 ≤ 9 位进/ ≤ 9 位出 FIFO 模式

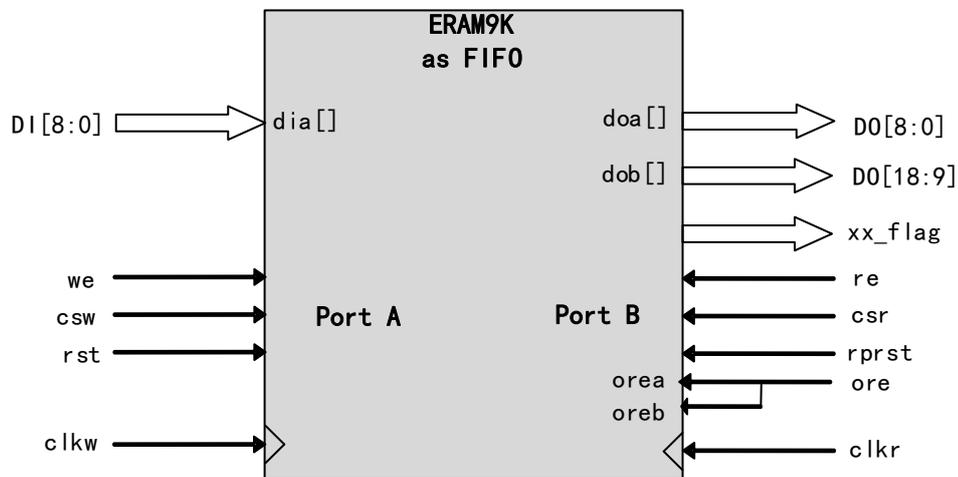


图 2-3-12 9 位进/18 位出 FIFO 模式

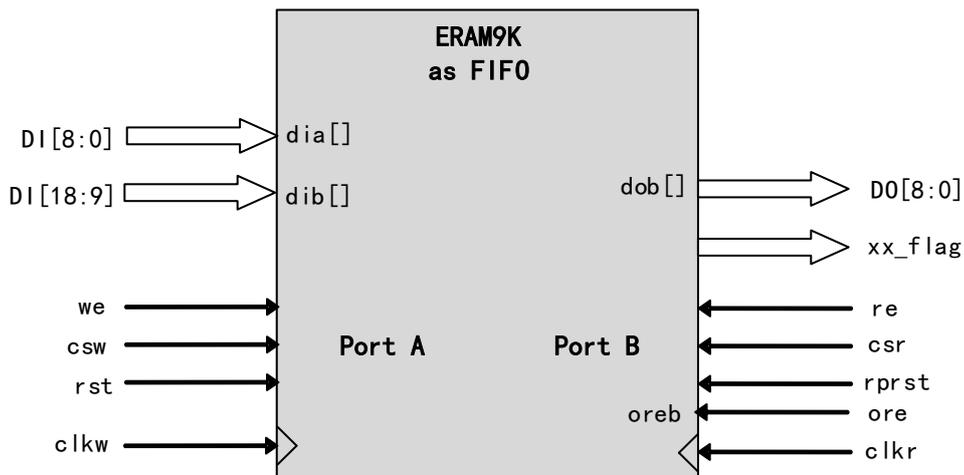


图 2-3-13 18 位进/9 位出 FIFO 模式

■空满标志属性的设置

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志 (empty_flag)，几乎空标志



(almost_empty)，满标志 (full_flag)，几乎满标志 (almost_full)。当内部计数器计数到标志值时会在 FF/AF/EF/AE 相应端口输出高电平。

表 2-3-10 FF/AF/EF/AE 属性设置

FIFO 属性名称	描述	设置范围
FF	Full flag	1 to Max
AF	Almost full	1 to Full-1
AE	Almost empty	1 to Full-1
EF	Empty setting	0

■FIFO 模式下常用配置

FIFO 模式的 csw/csr 和 RAM 模式中的 csa/csb 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 csw 端，空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向与逻辑实现。

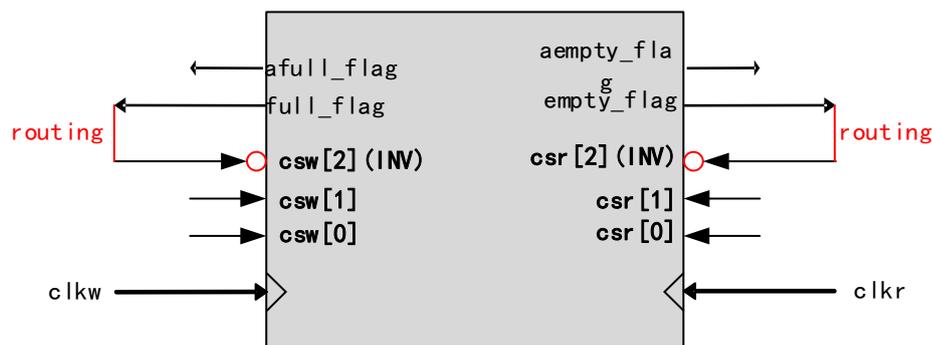


图 2-3-14 单个 ERAM9K FIFO 模式连接

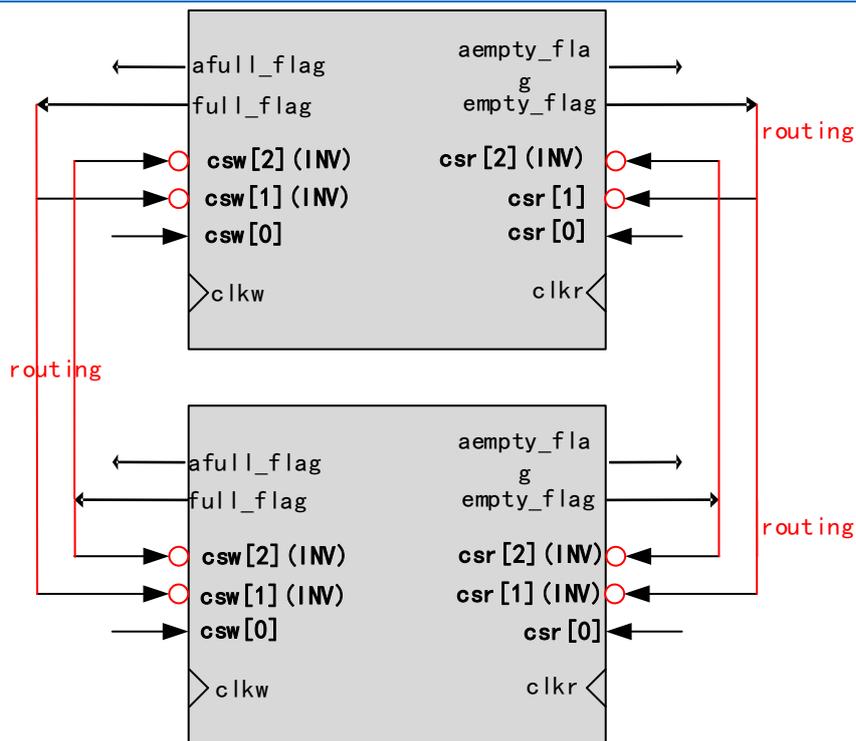


图 2-3-15 两个 ERAM9K FIFO 级联模式连接

2.4 时钟资源

SF1 系列 FPGA 包含 3 种类型时钟资源，第一种是给核心逻辑、嵌入式存储器、IOL 和 DSP 使用的全局时钟（GCLK），第二种是支持高速输入/输出接口串并转换的输入输出时钟（IOCLK），第三种是支持时钟快速输入到 IOCLK 和 PLL 输入的快速时钟。

2.4.1 全局时钟

SF1 系列全局时钟资源包含专用的时钟输入，缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源，同时全局时钟也可用于高扇出信号，时钟架构如图 2-4-1 所示。

图 2-4-1 所示。

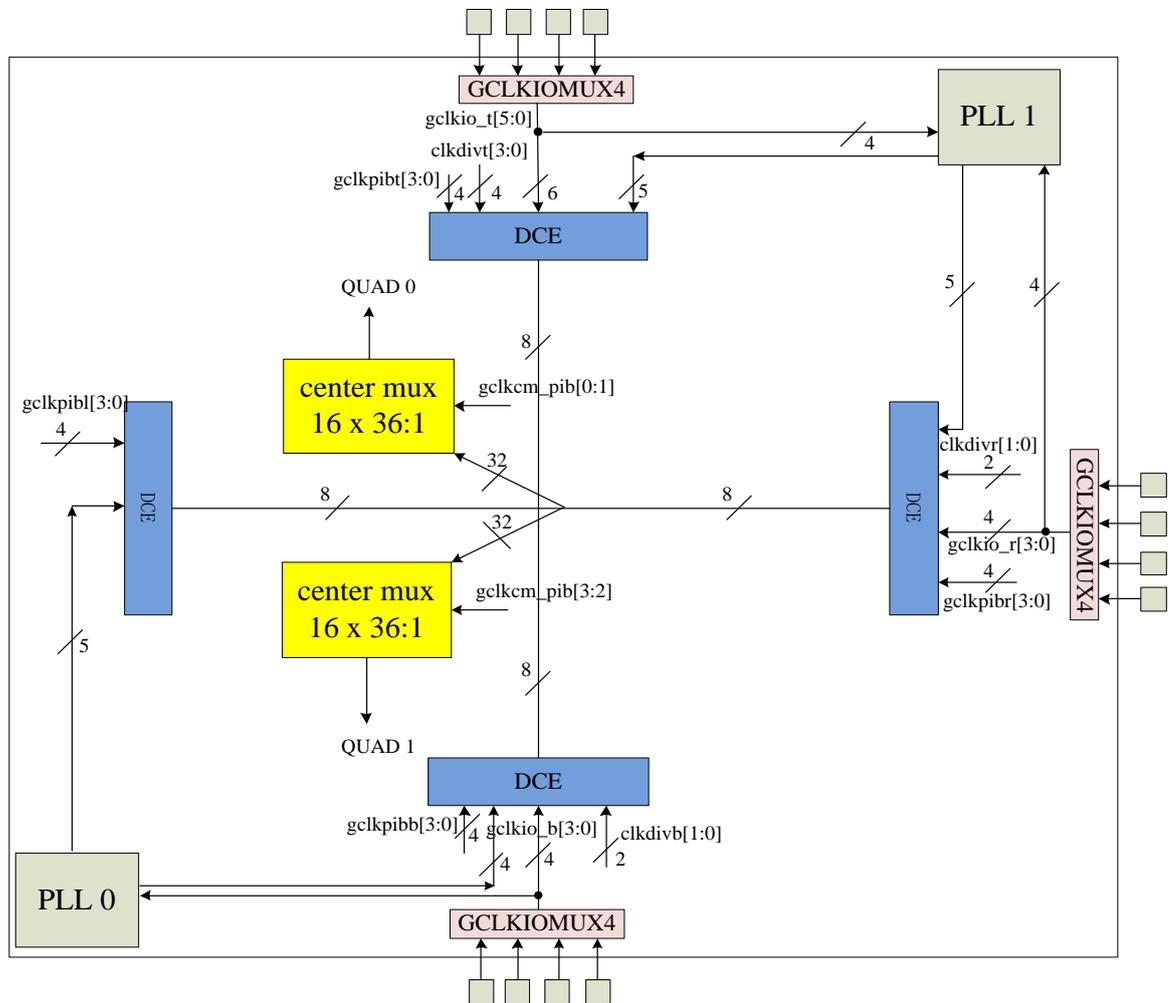


图 2-4-1 全局时钟分布网络

在全局时钟传输路径上有一级动态时钟使能逻辑，可以实现无毛刺的时钟动态使能，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的 32:16 多路选择器，进而分别送到芯



片左右两个象限驱动用户逻辑 DFF, ERAM, 乘法器等资源。全局时钟可以从 10 输入, 芯片的下边有 8 个全局时钟输入引脚; 芯片的右边有 16 个全局时钟输入引脚, 但每四个引脚都会经过一个 4 选 1 的时钟 MUX, 最终只有四路能进入全局时钟; 芯片的上面有 24 个全局时钟输入引脚, 但每四个引脚都会经过一个 4 选 1 的时钟 MUX, 最终只有六路能进入全局时钟。

整个芯片以垂直中间线划分为两个象限, 每个象限有 16 路独立的全局时钟资源。

2.4.1.1 时钟切换模块 (CSB)

每个 SF1 器件有 1 个全局时钟动态切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。

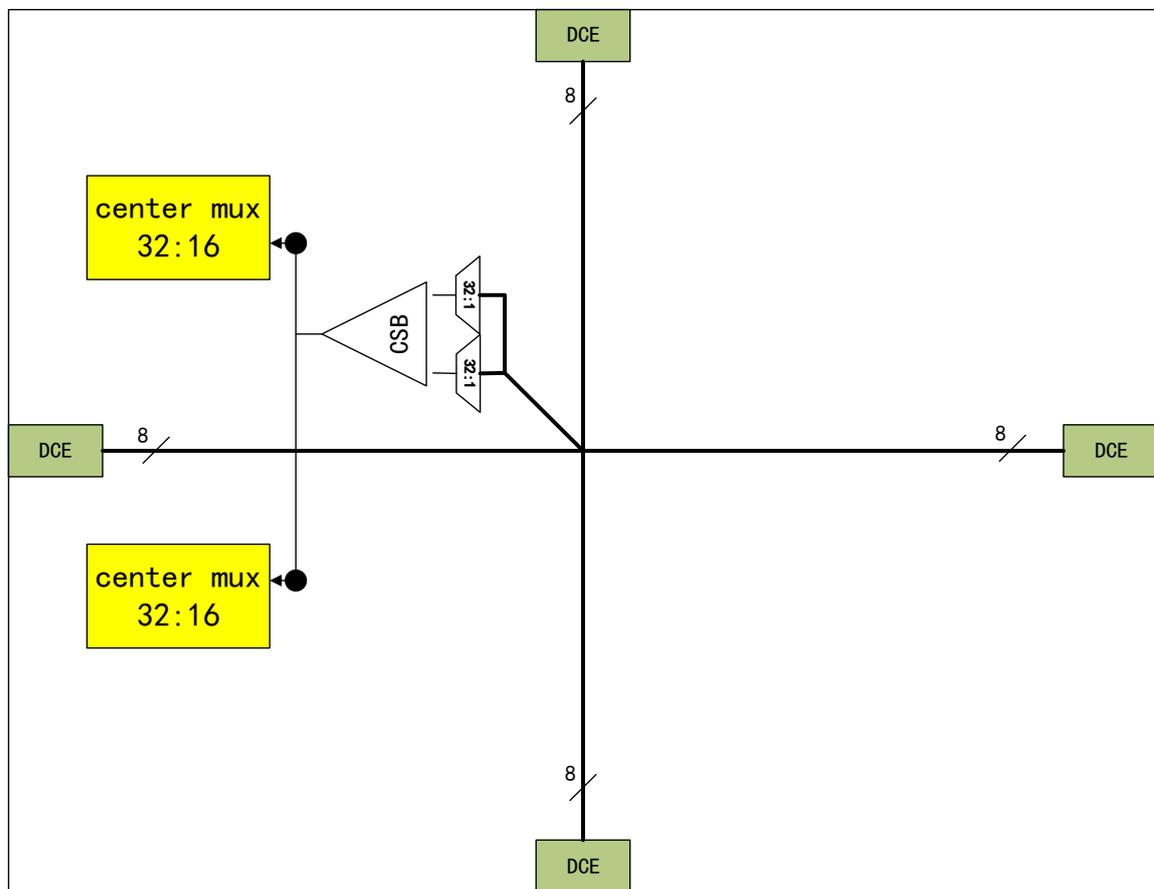


图 2-4-2 CSB 框图

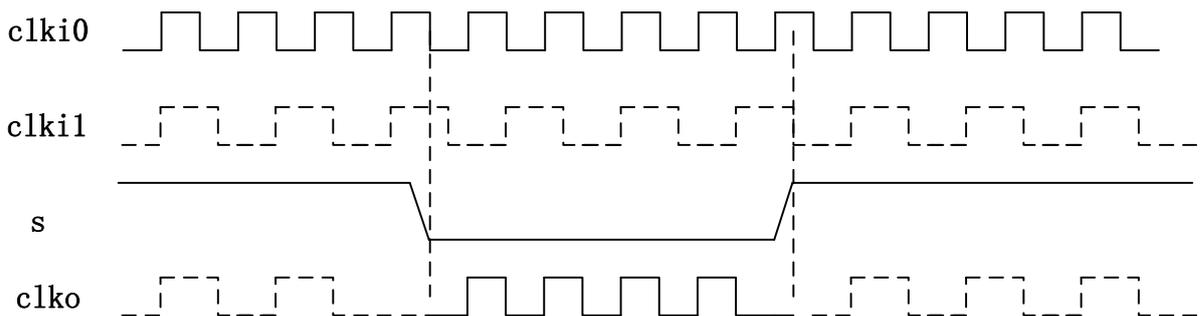


图 2-4-3 CSB 时钟切换时序图

表 2-4-1 DCS 操作模式

模式	S		描述
	0	1	
BUFGMUX	clki0	clki1	有毛刺时钟切换

2.4.2 输入输出时钟

SF1 系列相比其它系列增加了 GCLKIOMUX4 IO 时钟输入选择器，通常每 8 个相邻 IO 作为一组可选择某 1 个 IO 作为时钟输入 IO，这样大大增加用户时钟输入的灵活性。所有 IO 输入作为时钟输入时都要经过 GCLKIOMUX4 选择器。

输入输出时钟 (IOCLK) 是可以在 SF1 器件中使用的一种时钟缓冲器。IOCLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样，BUFIO 就可以理想地适合源同步数据采集（传送/接收器时钟分配）。IOCLK 可以由位于同一时钟区域的 clock capable I/O 驱动，也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOCLK。每个 IOCLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOCLK 不能驱动逻辑资源（PLB、ERAM 等），因为 IOCLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。

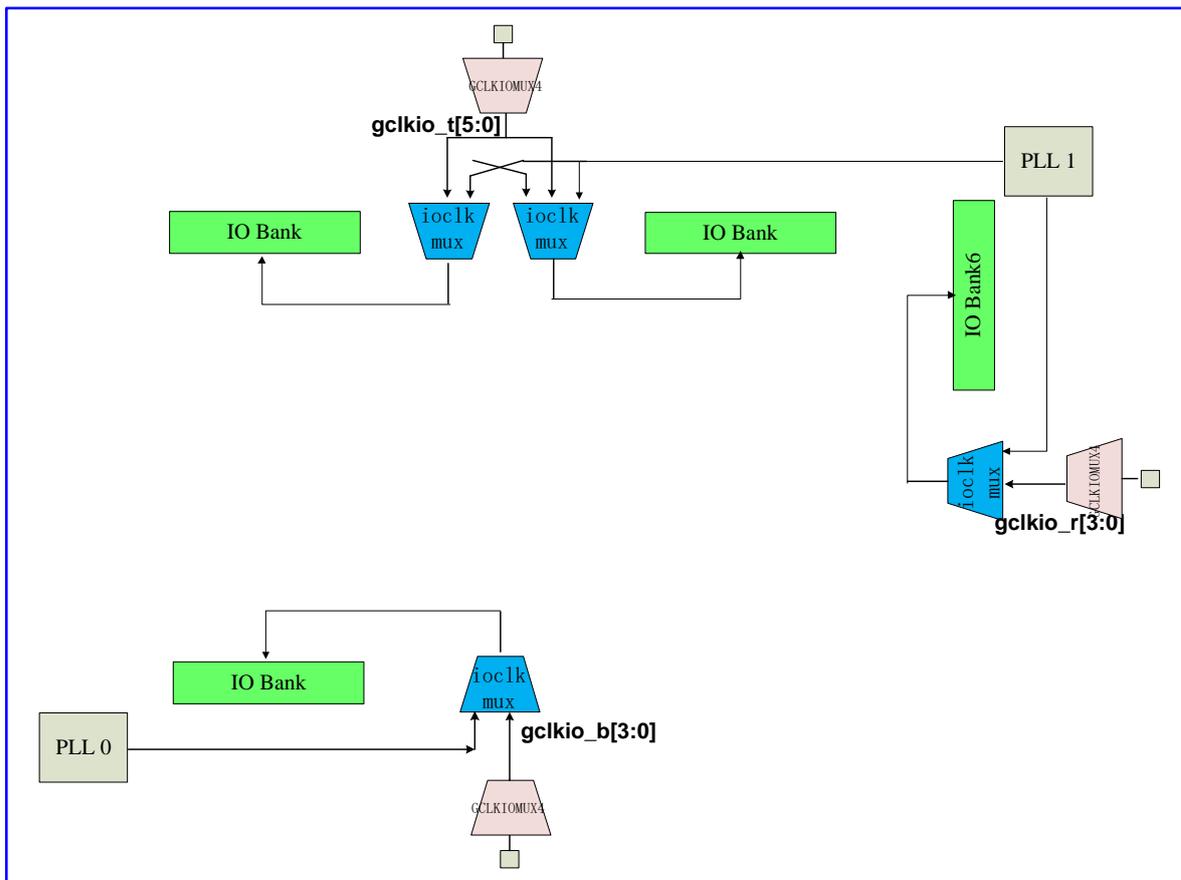


图 2-4-4 IOCLK 架构图

2.4.2.1 时钟分频器

SF1 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自于相同 I/O 组的输入输出时钟。输出分频系数可以设置为 4。

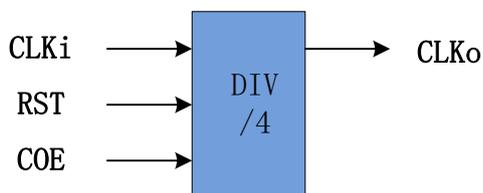


图 2-4-5 时钟分频器

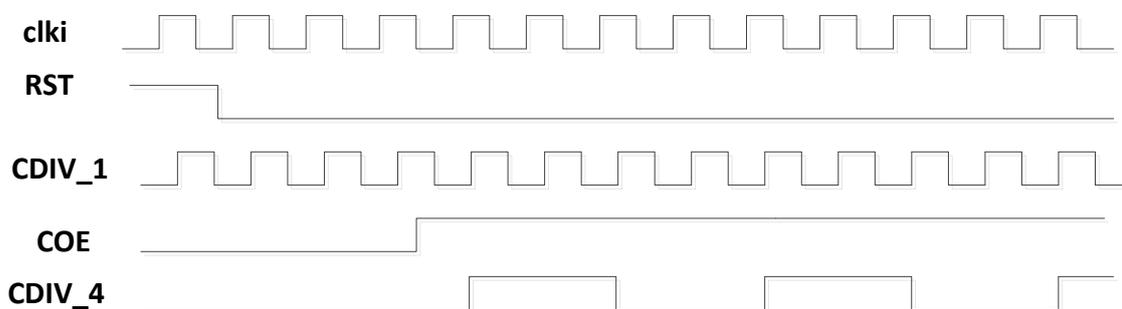


图 2-4-6 时钟分频器时序图

2.4.3 快速时钟

快速时钟用以实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。

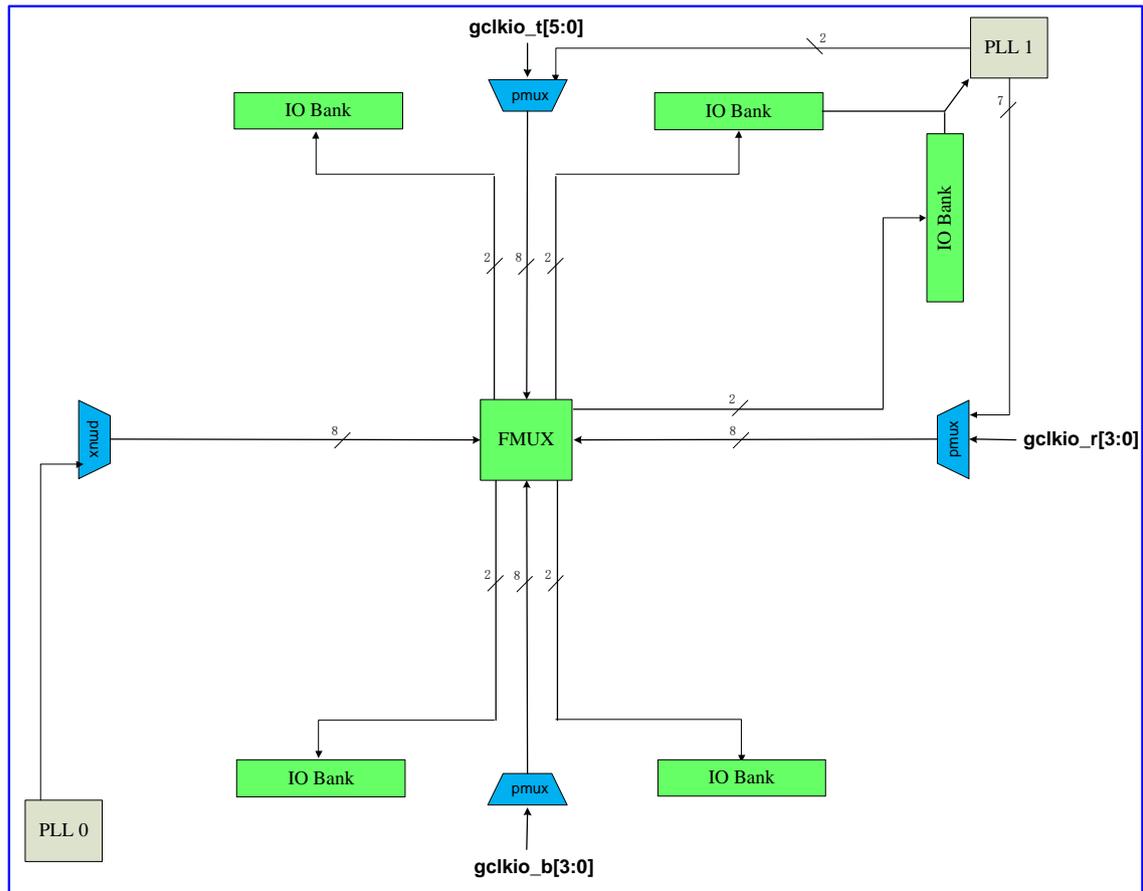


图 2-4-7 快速时钟架构图

2.5 锁相环 (PLL)

2.5.1 简介

SF1 系列 FPGA 内嵌 2 个多功能锁相环，可实现高性能时钟管理功能。可以实现时钟分频、倍频、占空比调整、输入和反馈时钟对准、多相位时钟输出等功能。

用户在使用中应关注 PLL 的 lock 信号是否为高，同时建议用户等待输入信号稳定后，再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C4。

PLL 输出 C5 和 C0 共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

PLL 输出 C6 和 C1 共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

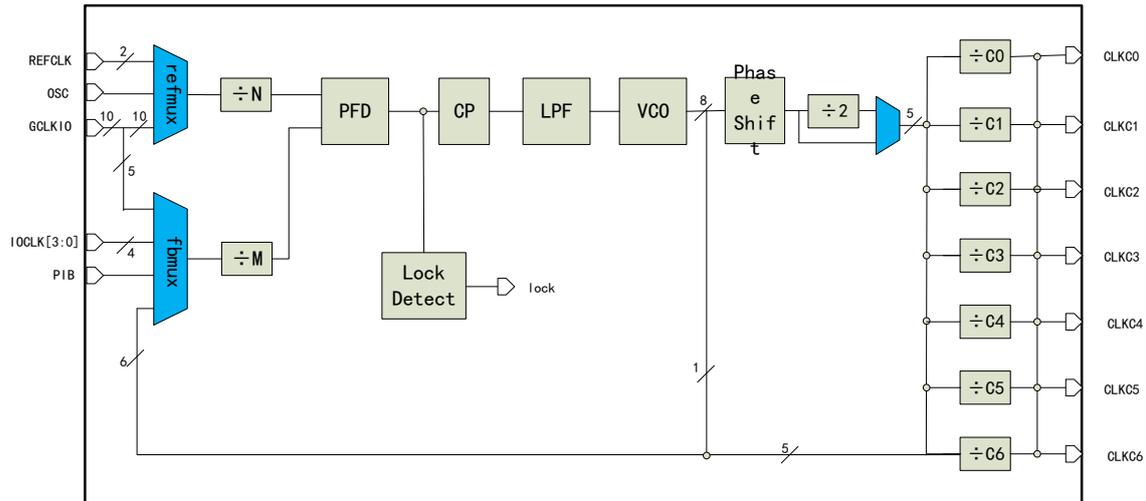


图 2-5-1 SF1 PLL 架构图

表 2-5-1 SF1 PLL 特性表

Feature	SF1 PLL
输入时钟频率范围	10–400 Mhz
输出时钟频率范围	4–400 Mhz
VCO 频率范围	300–1200 Mhz
输出端口数	7 (C0~C4 相位完全独立)
参考时钟分频系数 (N)	1 to 128
反馈时钟分频系数 (M)	1 to 128
输出时钟分频系数 (C0–4)	1 to 128
相移分辨率	45° (相对 VCO)
输出端口可选相位偏移量 (°)	0, 45, 90, 135, 180, 225, 270, 315
用户动态相移控制	支持 (+/-每单位 45 度相移, 相对 VCO)
锁定状态输出	Lock
专用时钟输出管脚	支持
占空比调整	支持

2.5.2 时钟反馈模式

SF1 系列 PLL 支持 4 种反馈模式。每种模式都支持时钟分频/倍频和相移。

2.5.2.1 源同步模式 (Source-Synchronous Mode)

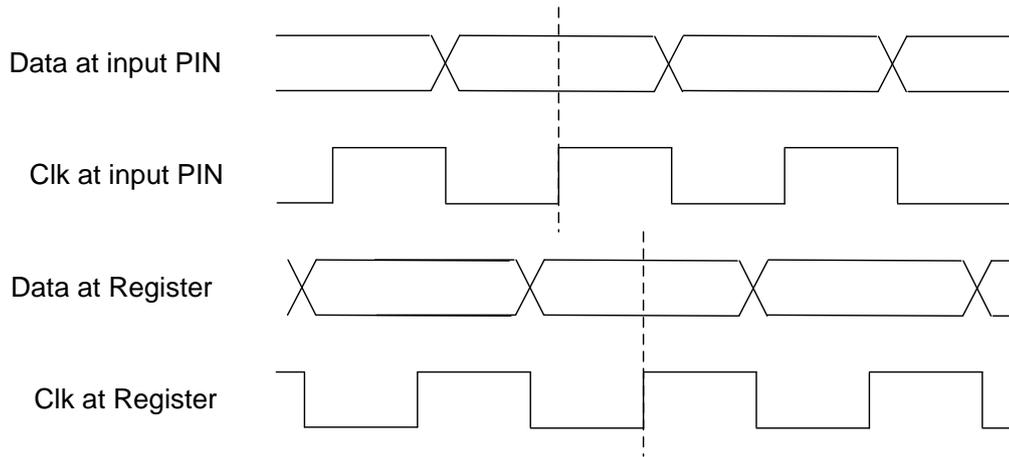


图 2-5-2 源同步模式

如图 2-5-2 源同步模式通过动态相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

2.5.2.2 无补偿模式（No Compensation Mode）

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，会提高 PLL 的抖动特性。

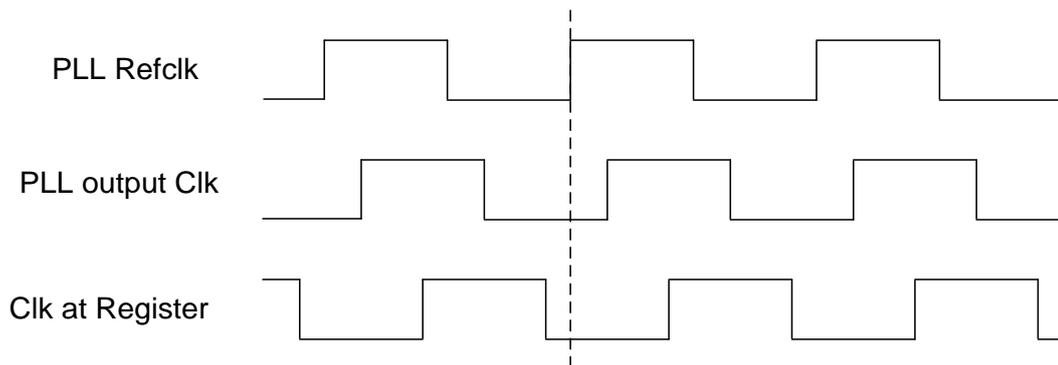


图 2-5-3 无补偿模式（相位不对齐）

2.5.2.3 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

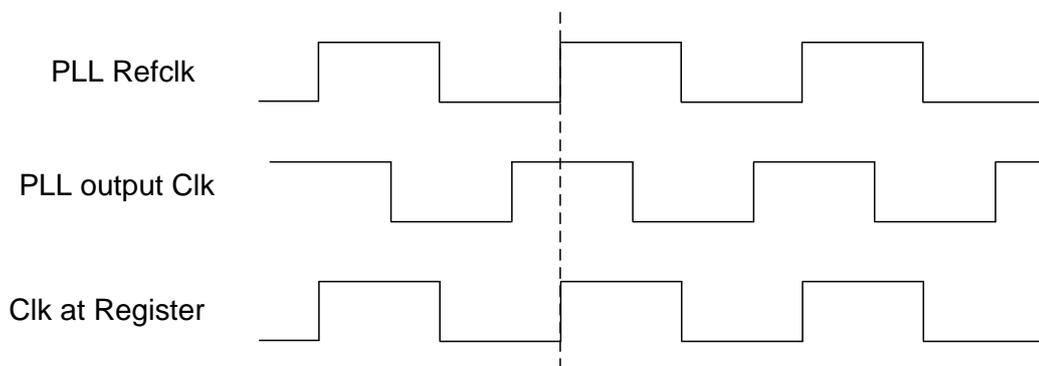


图 2-5-4 普通模式

2.5.2.4 零延迟缓冲模式

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。

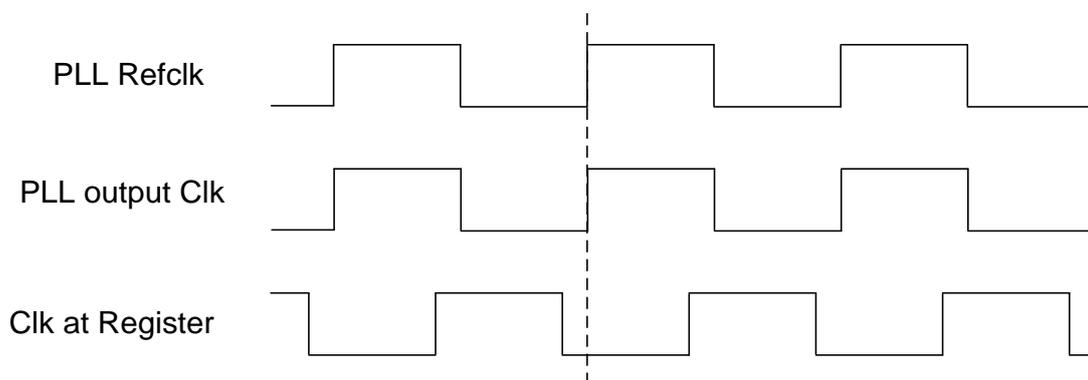


图 2-5-5 零延迟缓冲模式

2.5.3 PLL 输入时钟源

SF1 系列器件内嵌的两个 PLL 的时钟源头可以来自于芯片引脚或者芯片内部的不同其他资源。由于两个 PLL 的位置差别，两个 PLL 的输入时钟源会有一些区别，具体可以驱动两个 PLL 的输入时钟源如下表所示：

表 2-5-2 SF1 PLL 输入时钟源

输入时钟源	PLL0	PLL2
ECLK_BK0	Y	Y
ECLK_BK1	NA	NA
ECLK_BK2	Y	NA
ECLK_BK3	Y	
ECLK_BK4	NA	Y
GCLKIO_T<5:3>	NA	Y
GCLKIO_T<0>	NA	Y
GCLKIO_R<3:0>	NA	Y
GCLKIO_B<3:0>	NA	Y
OSCCLK	Y	Y

2.6 数字信号处理（DSP）

SF1 器件的 DSP 结合片上资源与外部接口，有助于提高数字信号处理性能、减少系统成本，以及降低系统的功耗。SF1 器件可应用为 DSP 或者作为 DSP 器件的协处理器，都可提高系统的性价比。

2.6.1 体系结构

嵌入式乘法器可以配置成一个 18×18 乘法器，或者配置成两个 9×9 乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

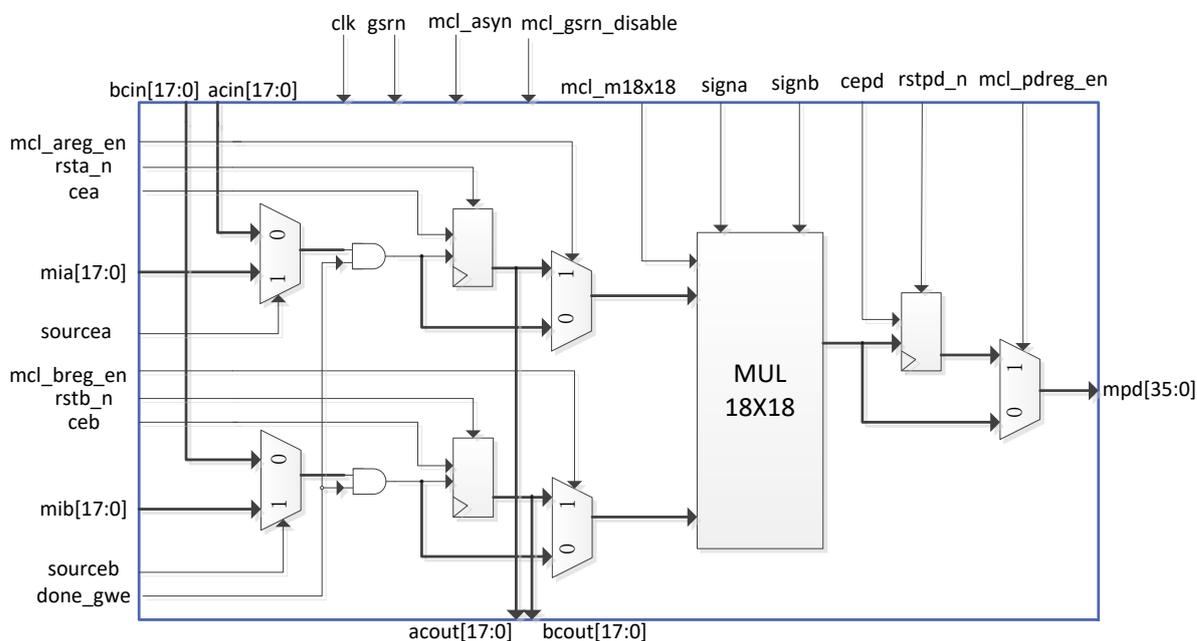


图 2-6-1 乘法器模块的体系结构

a) 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 mia 信号连接到输入寄存器，将 mib 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步



清零信号驱动可以独立配置。

b) 乘法器级

嵌入式乘法器模块的乘法器级支持 9x9 或者 18x18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。signa 与 signb 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 signa 信号为高电平，则 mia 操作数是一个有符号数值。反之，mia 操作数便是一个无符号数值。

表 2-6-1 为乘法器符号表示给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 2-6-1 乘法器符号表示

MIA		MIB		乘积
signa	逻辑值	Signb	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 signa 信号和一个 signb 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9 x9 乘法器，那么这两个乘法器的 mia 输入与 mib 输入将分别共享同一个 signa 信号和同一个 signb 信号。可以在运行时动态改变 signa 和 signb 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 signa 以及 signb。不管符号表示如何，乘法器都会支持全精度。

c) 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。



表 2-6-2 乘法器端口说明

名称	方向	位宽	描述
mia	输入	18	来自 PIB 的 dsp 操作数输入。具有寄存器输入模式
acin	输入	18	来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式
acout	输出	18	连接到下一级 dsp 的 acin 端口上的级联数据输出
mib	输入	18	来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式
bcin	输入	18	来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式
bcout	输出	18	连接到下一级 dsp 的 bcin 端口上的级联数据输出
cea	输入	1	输入寄存器时钟使能信号。当 cea 为高电平时，输入有效
ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时，输入有效
cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平时，输出有效
clk	输入	1	clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器
rsta_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstb_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstpd_n	输入	1	输出寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin
sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin
mpd	输出	36	dsp 的乘积数据输出

2.6.2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个 18×18 乘法器
- 两个 9×9 独立的乘法器

通过使用 SF1 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，该功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

2.6.2.1 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18×18 乘法器。图 2-6-2 给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

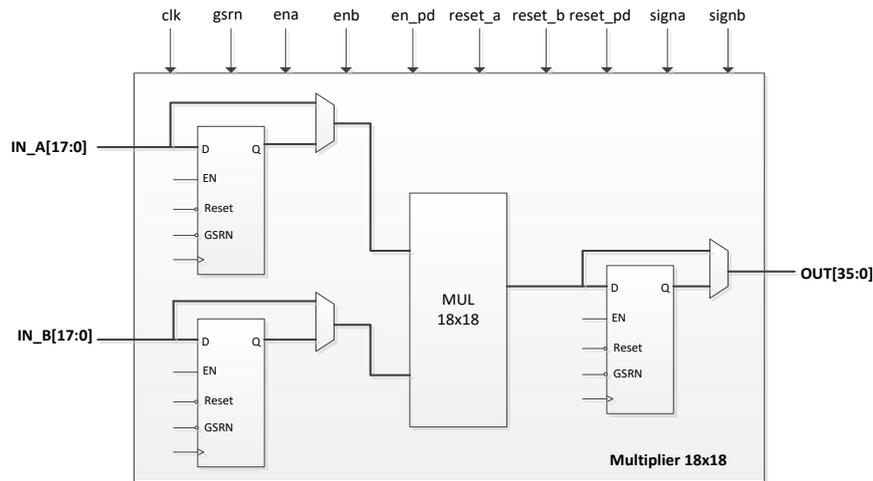


图 2-6-2 18 位乘法器模式

2.6.2.2 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9x9 乘法器。图 2-6-3 给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个 9×9 乘法器共享同一个 `signa` 和 `signb` 信号。因此，用于驱动同一嵌入式乘法器的所有 `mia` 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 `mib` 输入数据也必须要要有相同的符号表示。

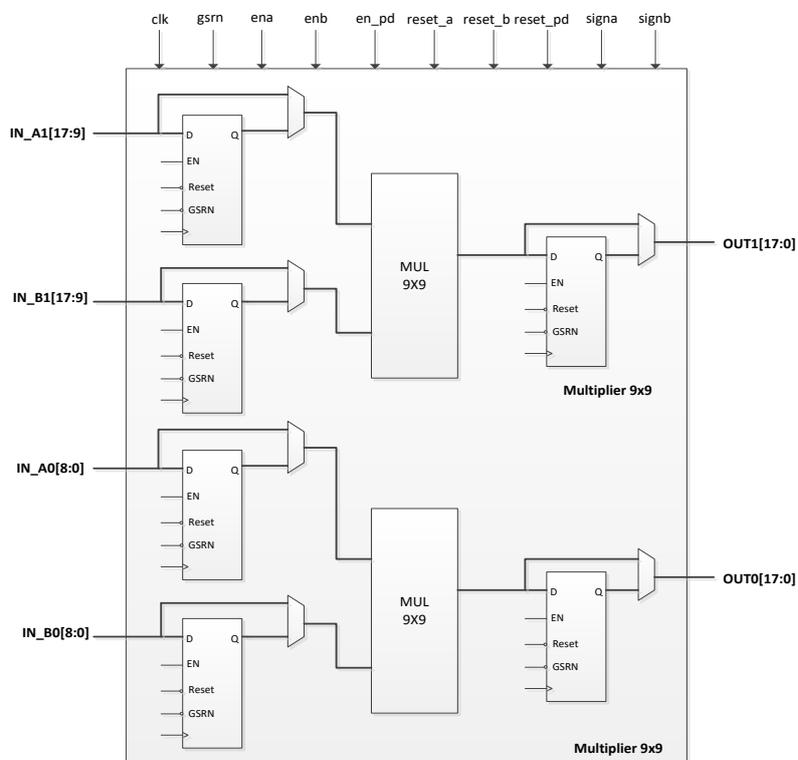


图 2-6-3 9 位乘法器模式

2.7 输入输出逻辑单元 (IOL)

SF1 器件的 IOL 支持多种工作模式。本章节主要介绍如何配置 IOL 资源以支持多种工作模式。与 IOB 类型相匹配, SF1 器件只有一种 IOL 类型, 即增强型输入输出逻辑 (IOLE), 支持的工作模式如表 2-7-1 所示。

表 2-7-1 IOL 支持工作模式

模式		IOLE
输入	BYPASS	√
	SDR	√
	iDDR _{x1}	√
	iDDR _{x2}	√
输出	BYPASS	√
	SDR	√
	oDDR _{x1}	√
	oDDR _{x2}	√

2.7.1 输入寄存器逻辑

输入输出逻辑 (IOL) 中的输入寄存器用来处理高速接口, 将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据 (DDR) 的支持。

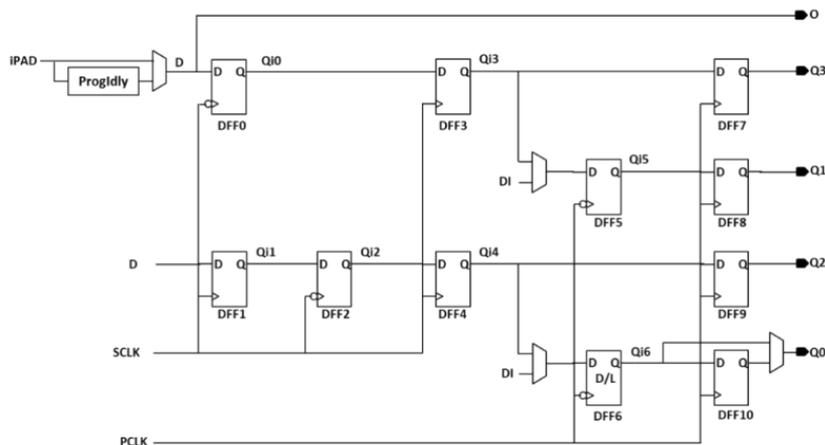


图 2-7-1 输入寄存器框图

2.7.1.1 普通输入模式

普通模式下的 IO 逻辑如图 2-7-2 所示, 此模式下信号直接进入 FPGA 内部逻辑。

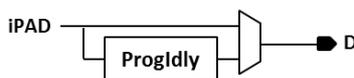


图 2-7-2 普通输入模式框图



2.7.1.2 SDR 输入模式

相比普通模式，如图 2-7-3 所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

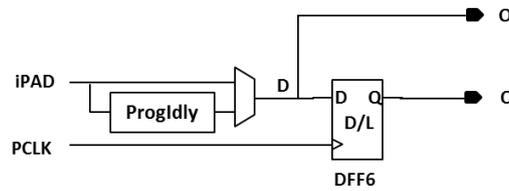


图 2-7-3 SDR 输入模式框图

2.7.1.3 DDR 输入模式

SF1 器件 IOL 中有专用的寄存器用以支持 iDDRx1 和 iDDRx2 模式。

■ iDDRx1 同沿输入模式

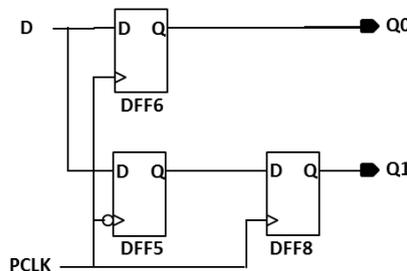


图 2-7-4 iDDR 同沿输入模式框图

在 iDDRx1 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如图 2-7-5 所示。

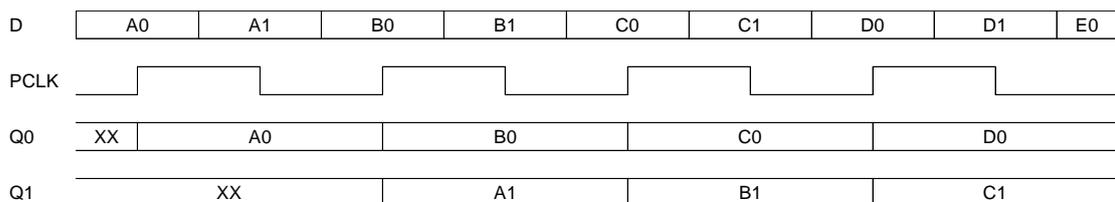


图 2-7-5 iDDR 同沿输入模式

■ iDDRx1 同沿 Pipelined 输入模式

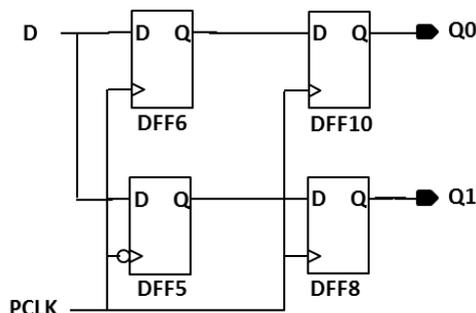


图 2-7-6 iDDR 同沿 Pipelined 输入模式框图



在 iDDR_x1 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如图 2-7-6 所示。时序如图 2-7-7 所示。

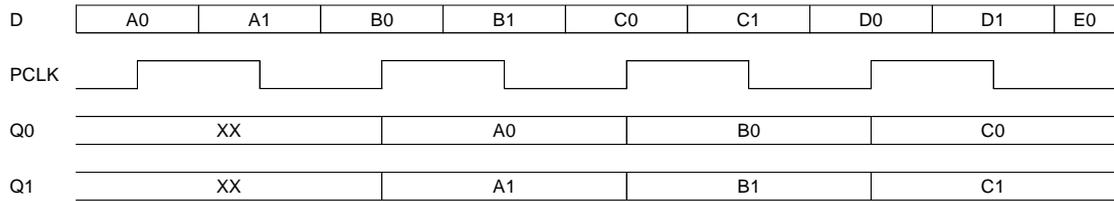


图 2-7-7 iDDR 同沿 Pipelined 输入模式

■ iDDR_x2 输入模式

iDDR_x2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

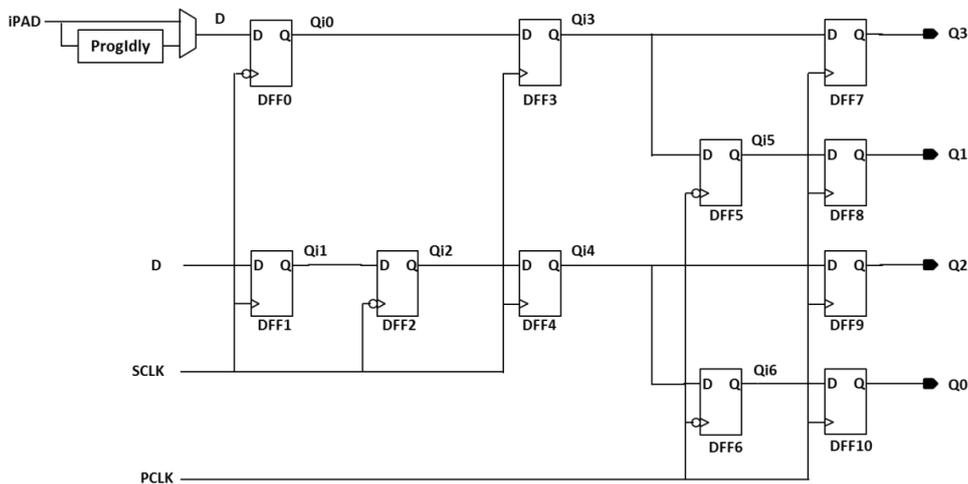


图 2-7-8 iDDR_x2 输入模式

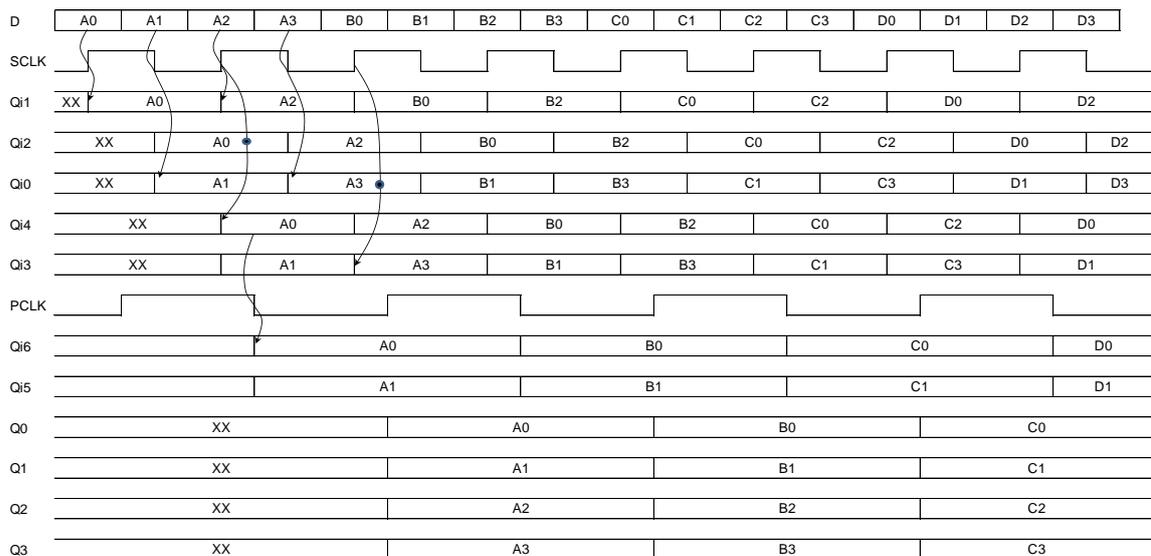


图 2-7-9 iDDR_x2 输入模式时序

2.7.1.4 输入延时单元

每一个 IOL 逻辑单元内都包含一个可编程输入延时单元，加强对源同步功能的支持。支持静态控制延迟的方式，部分 IO 支持用户逻辑控制。IOL 支持的可调范围如表 2-7-2 所示。LVDS IO 的真差分 P 端支持动态延时调节。

表 2-7-2 输入延时调整范围

IOL 类型	可调整 Step	平均步进精度	最大延时
IOL_Min	32	26ps	0.92ns
IOL_Max	32	46ps	1.62ns

2.7.2 输出寄存器逻辑

输入输出逻辑（IOL）中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。图 2-7-10 给出了输出寄存器框图。

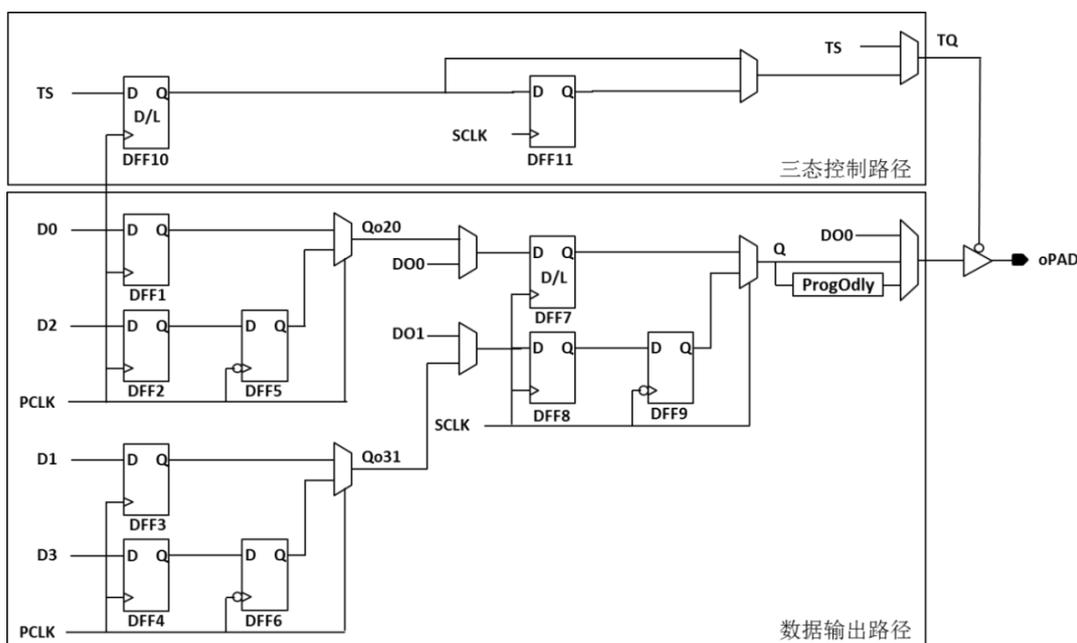


图 2-7-10 输出寄存器框图

2.7.2.1 普通输出模式

普通输出模式下的 IO 逻辑如图 2-7-11 所示，此模式下信号直接从 FPGA 内部逻辑输出到 PAD。

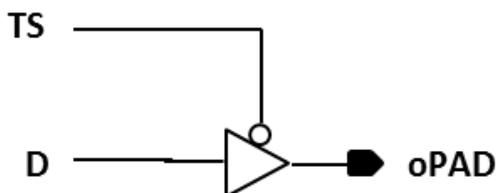


图 2-7-11 普通输出模式框图

2.7.2.2 SDR 输出模式

相比普通模式，如图 2-7-12 所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

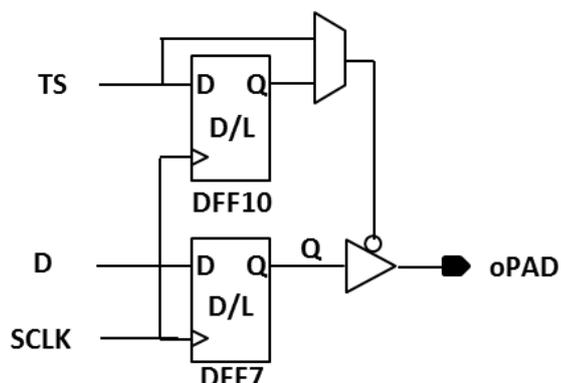


图 2-7-12 SDR 输出模式框图

2.7.2.3 DDR 输出模式

SF1 器件 IOL 中有专用的寄存器用以支持 oDDRx1 和 oDDRx2 模式。

oDDRx1 输出模式

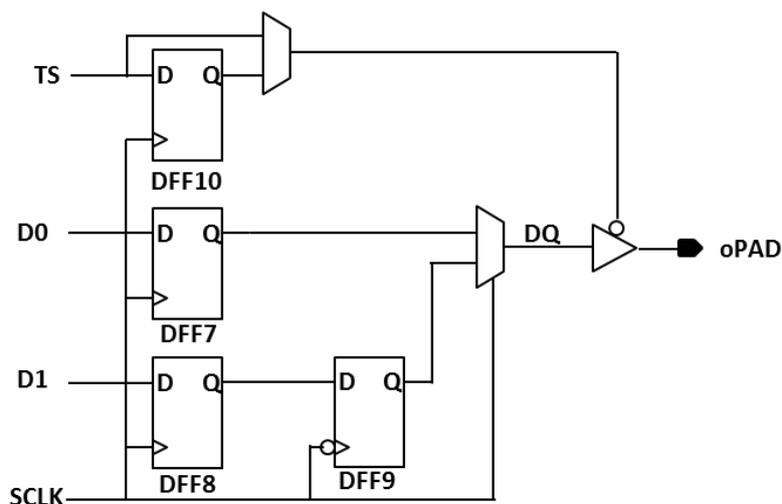


图 2-7-13 oDDRx1 输出模式框图

在 oDDRx1 模式，数据 D00 和 D01 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 oPAD，时序如图 2-7-14 所示。

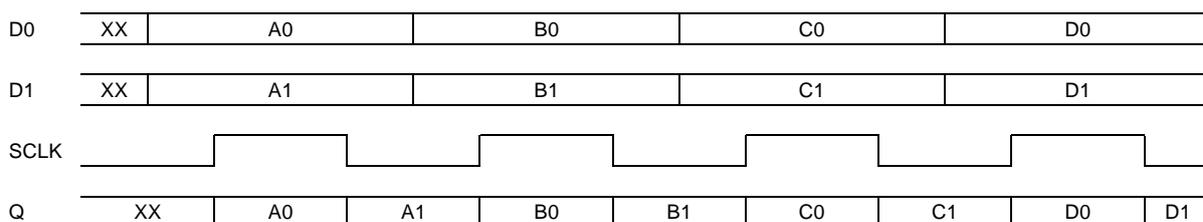


图 2-7-14 oDDR 输出模式

oDDRx2 输出模式

oDDRx2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发，实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

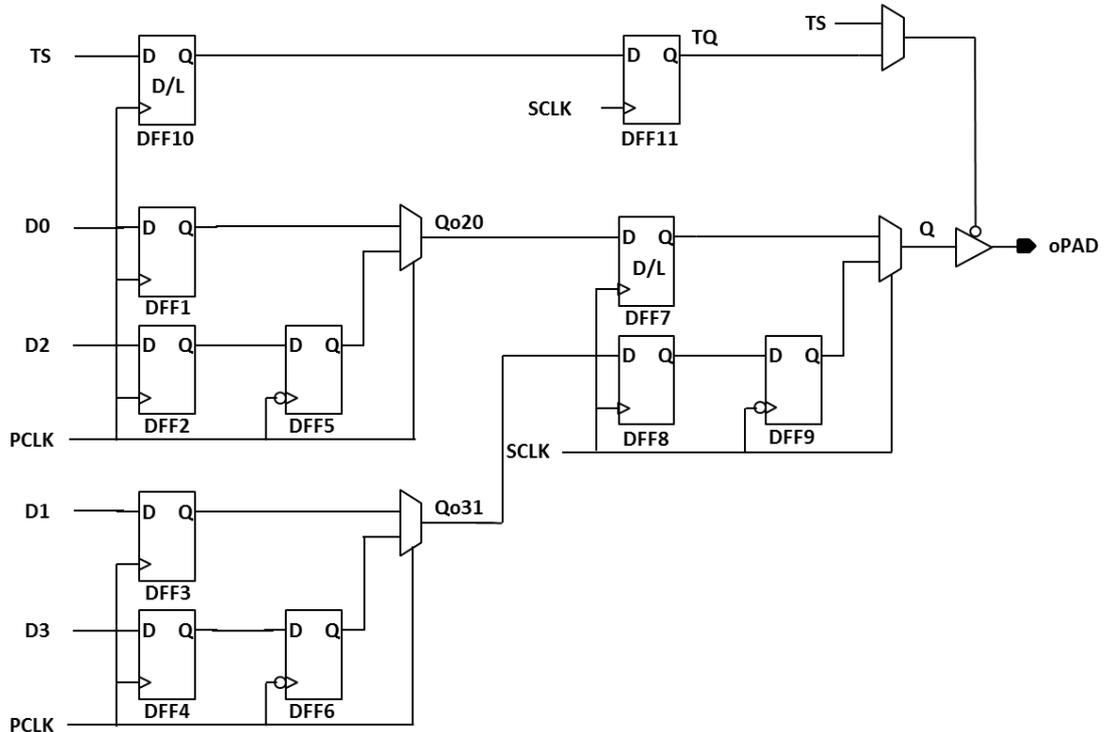


图 2-7-15 oDDRx2 输出模式

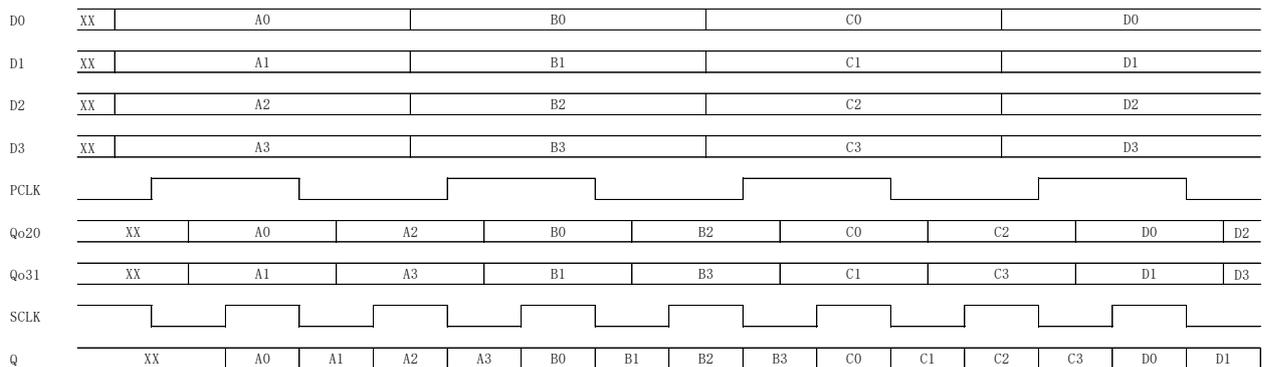


图 2-7-16 oDDRx2 输出模式时序

oDDRx2L 输出模式

与 oDDRx2 相比，oDDRx2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDRx2 模式晚一个 SCLK 时钟周期。

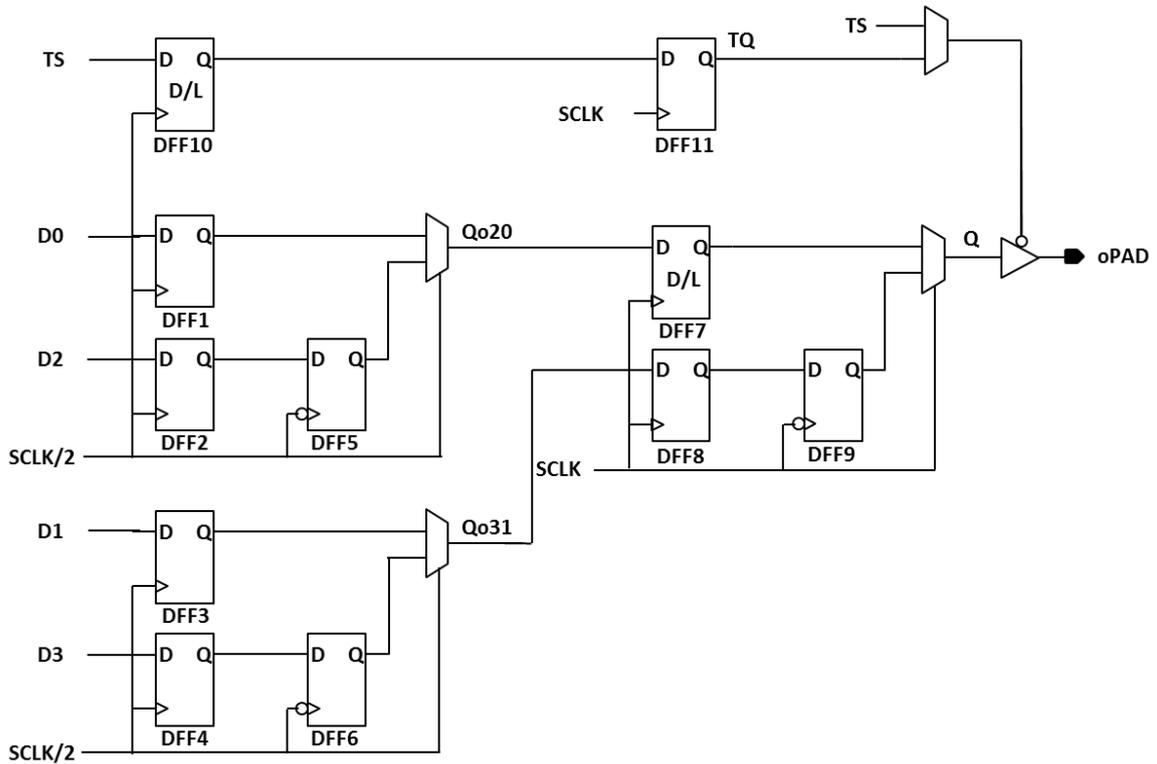


图 2-7-17 oDDRx2L 输出模式

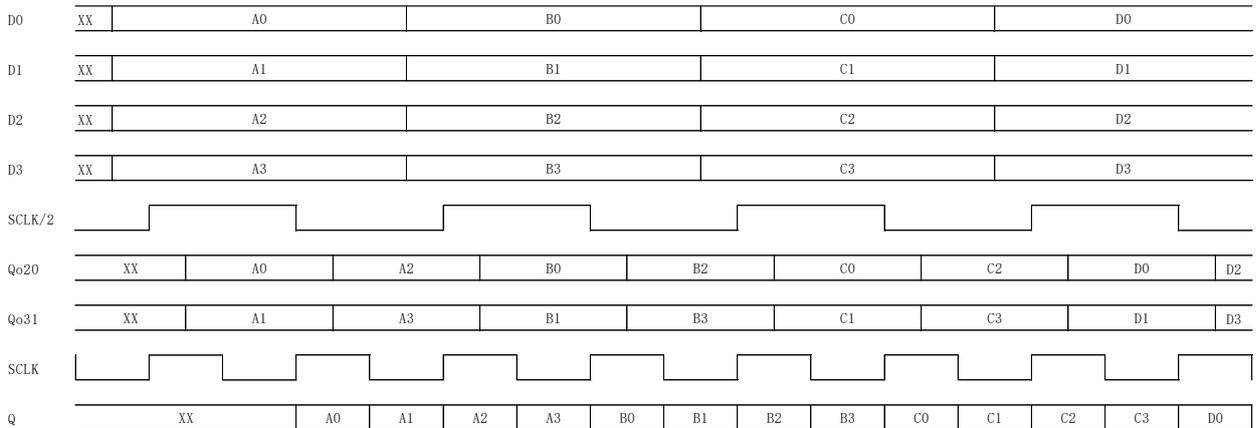


图 2-7-18 oDDRx2L 输出模式时序

2.7.2.4 输出延时单元

每一个 IOLE 逻辑单元内都包含一个可编程输出延时单元，支持静态控制延迟的方式，调整范围如下表所示。

表 2-7-3 输出延时调整范围

IOLE 类型	可调整 Step	平均步进精度	最大延时
IOLE_Min	4	62ps	0.26ns
IOLE_Max	4	90ps	0.42ns



2.8 输入输出缓冲器 (IOB)

2.8.1 IOB 简介

SF1 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。功能包括输出强度和斜率的可编程控制。

SF1 的 IOB 均为增强型 IOBE，统称为 IOB，每个 IOB 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。

IOB 支持电平标准：

- 单端 I/O 标准 (LVCMOS、LVTTL、PCI)
- 差分 I/O 标准 (LVDS、LVPECL)

IOB 支持上述电平标准的同时，IOB 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

表 2-8-1 SF1 支持电气标准

Description	BANK0/2	BANK3	DPHY0/1
IO Buffer Type	Single Ended and Differential	Single Ended	DPHY
Output Standards Supported	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33 PCIX33 LVDS33E/25E/18E True LVDS	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33 PCIX33	MIPI-DPHY
Inputs Standards Supported	All Single Ended LVDS18/25/33	All Single Ended LVDS18/25/33	MIPI-DPHY



Description	BANK0/2	BANK3	DPHY0/1
Clock Inputs	All Single Ended LVDS18/25/33	All Single Ended LVDS18/25/33	-
True LVDS Outputs	LVDS33 LVDS 25 LVDS 18	-	-
Emulated LVDS Outputs	LVDS18E LVDS25E LVDS33E LVPECL33E	-	-
Rdiff 100	Yes	-	-
PCI Clamp	Yes	Yes	-

各 IOB 直接连接 IOL 组成输入输出逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。

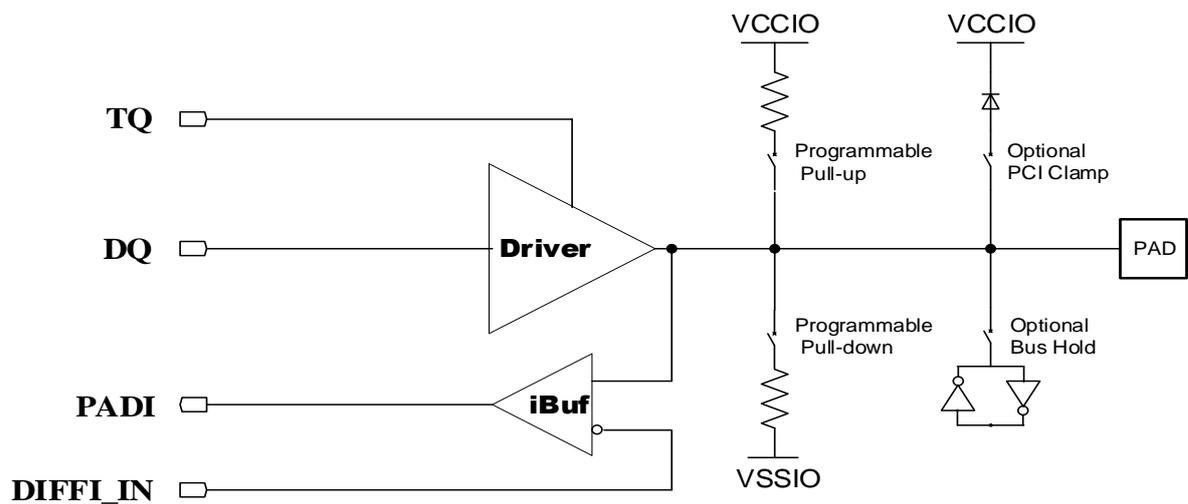


图 2-8-1 基本 IOBE 框图

2.8.2 I/O 分组

SF1 器件有 6 个 I/O 组，每一个 I/O 组由对应的 VCCIO 供电。每种封装器件能够看到的 BANK 有差别，以具体封装的 PINLIST 为准。BANK1 仅有电源，无外部 I/O 引脚引出。

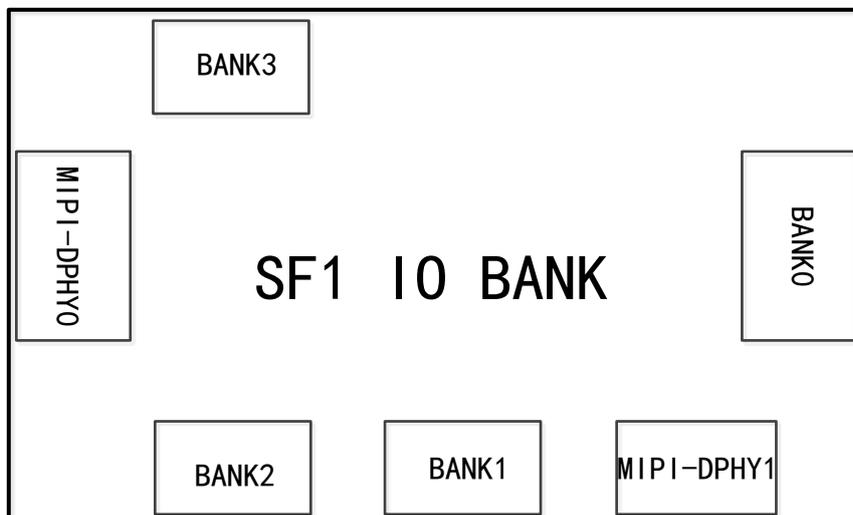


图 2-8-2 I/O 分组示意图

2.8.3 兼容 5V 输入

SF1 的 IOB 可以工作在 1.2-3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号通过 IOB 驱动到 SF1 器件的输入，需要外部打开 SF1 I/O 内部的 PCI 箝位二极管把输入端口接收到的电压降到器件安全范围内，如图 2-8-3 所示。设计完成后，应确认电路板 PAD 上的电压不超过 3.75V。且 5V 信号不能在进入用户模式前接入，否则要外接二极管。

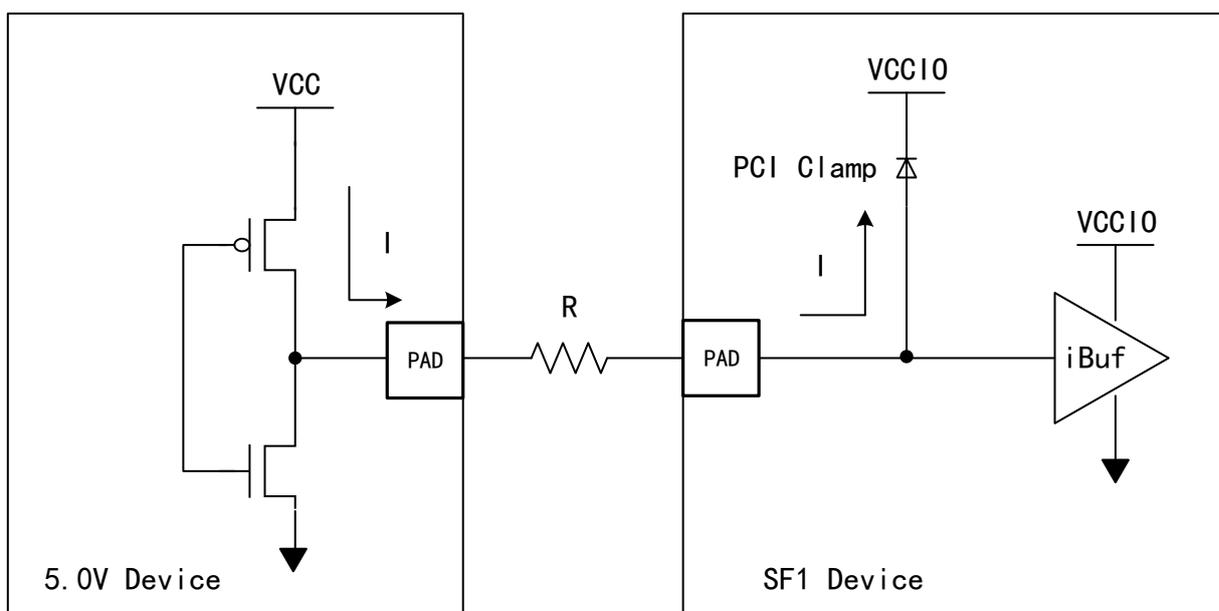


图 2-8-3 5V 输入驱动 SF1 器件



表 2-8-2 PCI 箝位二极管的电流特性

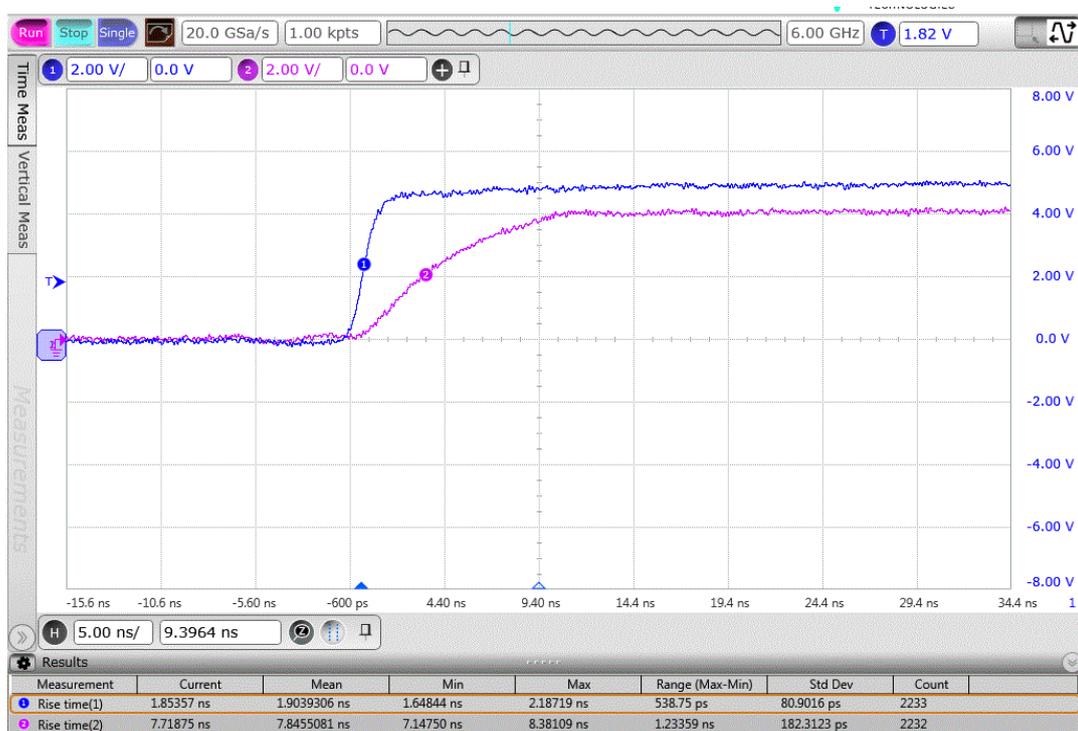
V_D (V)	I_{max}	Unit
0.0	0.92	uA
0.1	9.2	uA
0.2	20	uA
0.3	30.4	uA
0.4	43.3	uA
0.5	76.5	uA
0.6	0.15	mA
0.7	0.36	mA
0.8	2.85	mA
0.9	9.42	mA

为支持 5V 输入，建议 VCCIO 电压工作在 2.5-3.0V 范围，否则 IO 电压会超过安全电压，长期使用会降低器件寿命。

I/O 器件最大容限绝对电压为 $V_{IMAX} = 3.7V$ ，设置 $V_{CCIO} = 2.5V$ ，取分压后 IO 输入端接收到的电压 $V_I = 3.3V$ ，则二极管上的压降为 $V_{DIO} = V_I - V_{CCIO} = 3.3 - 2.5 = 0.8V$ 。 $I_{DIO} @ 0.8V = 2.85mA$ ， $R = (5 - 3.3)V / 2.85 mA = 596\Omega$ 。

在输入端箝位通路分别串接不同阻值电阻，在 SF1 接收端测量波形如图 2-8-4、图 2-8-5 所示。

串接电阻 $R=330\Omega$ ，上升时间为 7.8ns，下降时间为 12ns，见图 2-8-4。



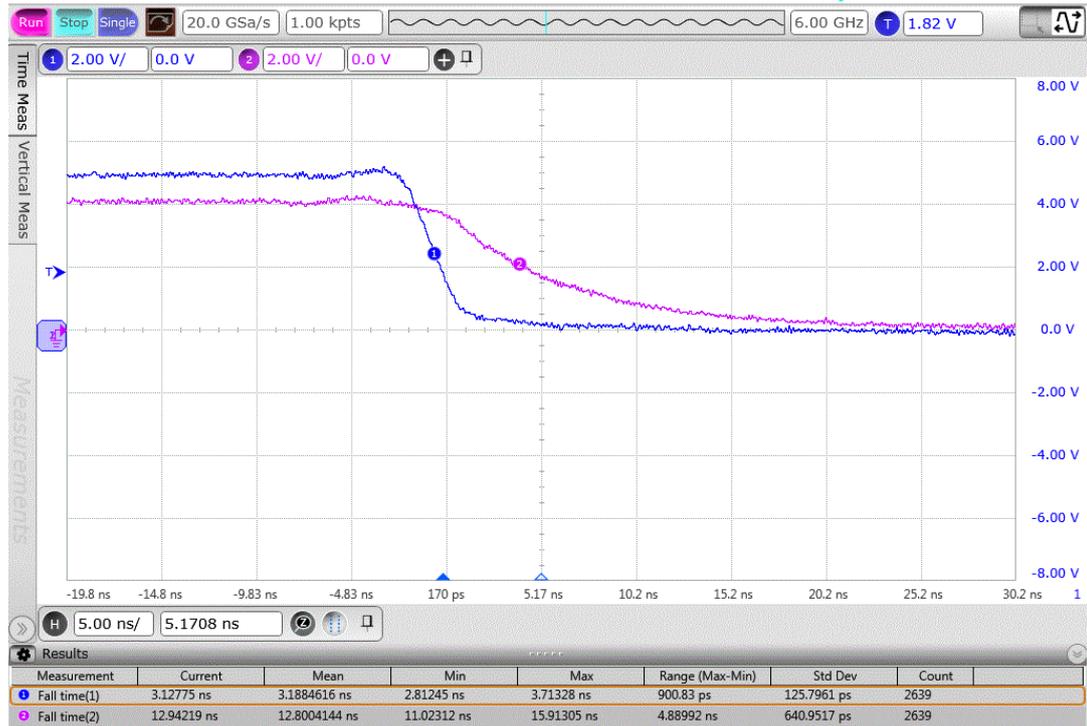
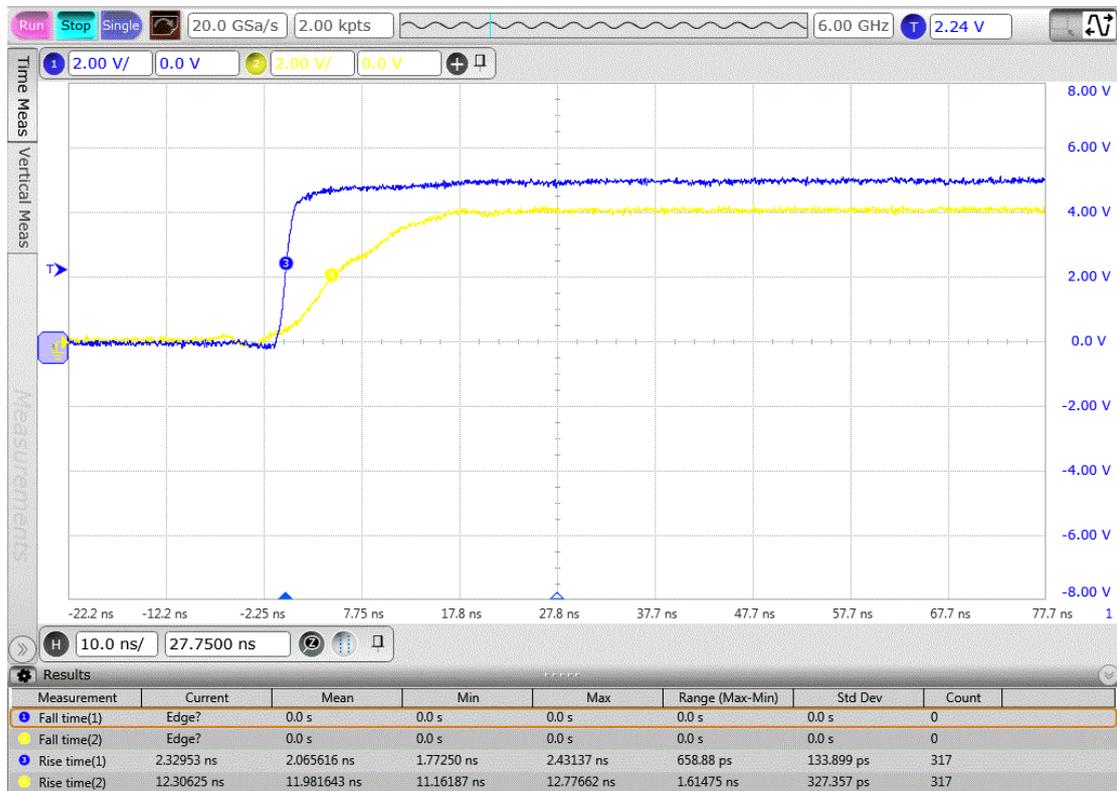


图 2-8-4 5V 输入驱动 SF1 器件接收端波形 @R=330 Ohm

串接电阻 R=600 Ohm, 上升时间为 12ns, 下降时间为 21ns。



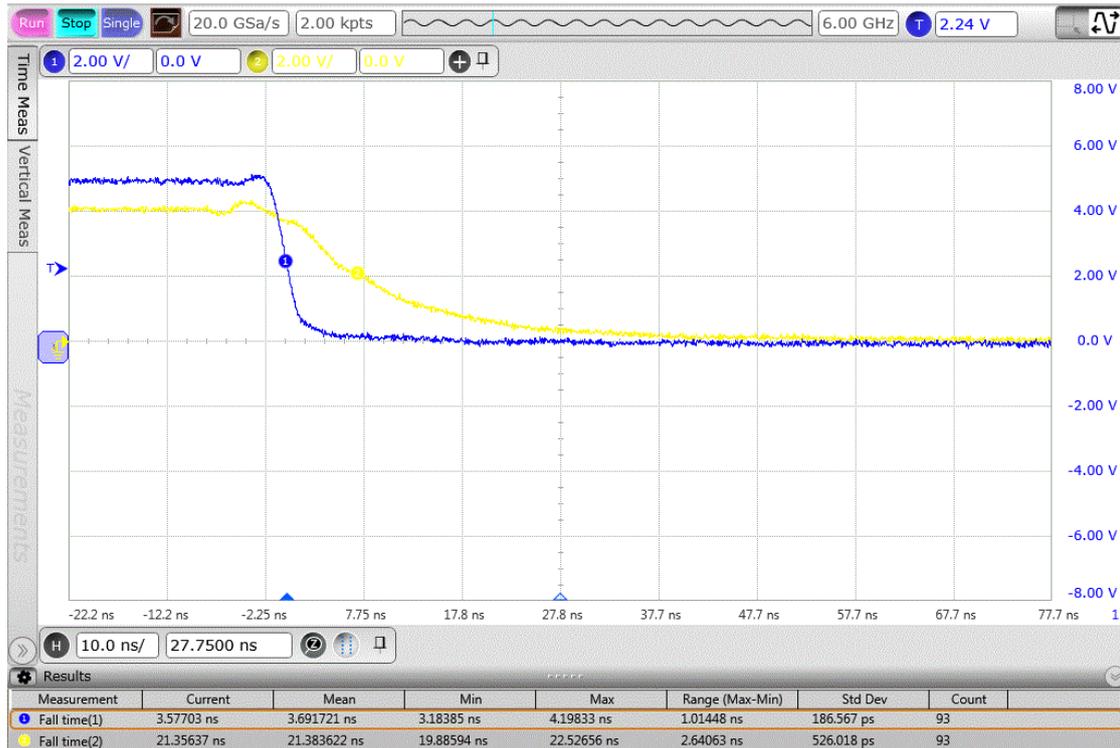


图 2-8-5 5V 输入驱动 SF1 器件上升/下降沿 @R=600 Ohm



2.9 SF1 FPGA 配置说明

SF1 FPGA 内置 8Mbit SPI Flash。配置是通过往芯片内部装载配置数据来实现，支持内部和外部下载。SF1 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，TD 软件提供复用引脚的配置功能，在配置完成之后可以用做一般输入输出。

2.9.1 配置模式

SF1 器件支持 4 种配置方式，分别是从动串行，从动并行，内部 SPI 模式和 JTAG 配置模式。内部 SPI 模式支持 x1/x2/x4 位宽。具体选择关系见表 2-9-1。

SF1 系列 FPGA 配置位流最大~1.8M bits，长度与 ERAM 初始化数据长度相关。

2.9.1.1 SF1 配置模式

表 2-9-1 SF1 配置模式及引脚

配置								
配置引脚名	类型	SS	SP		MSPI			JTAG
		从动串行	从动并行		内部 SPI			
		Slave Serial	Slave Parallel		X1	X2	X4	
PROGRAMN	复用 IO	PROGRAMN					-	
INITN	复用 IO	INITN					-	
DONE	复用 IO	DONE					-	
SCLK	复用 IO	SCLK			-			-
CSN	复用 IO	-	CSN		-			-
TMS TCK TDI TD0 JTAGEN	复用 IO	-					TMS TCK TDI TD0 JTAGEN	
D[7:2]	复用 IO	-	D[7:2]	D[7:2]	-			-
D[1]	复用 IO	-	D[1]	D[1]	-			-
D[0]/DIN	复用 IO	DIN	D[0]	D[0]	-			-
CSON	复用 IO	CSON					-	

下面是 SF1 复用配置引脚：

- 配置时钟引脚（SCLK）
- 配置开始信号引脚（PROGRAMN）
- 配置完成引脚（DONE）
- 配置错误指示引脚（INITN）



- 模式配置片选引脚（CSN）
- 配置级联数据输出脚（DOUT）
- 边界扫描相关引脚（TDI, TDO, TMS, TCK, JTAGEN）
- 配置数据输入引脚（D[7:0]），D[0]可以作为从模式下的 DIN

DONE/INITN 是带内部弱上拉的开漏输出。

PROGRAMN INITN DONE 等信号的复用可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。

2.9.2 配置流程

SF1 FPGA 芯片的整个配置过程可以分三个部分。首先，在芯片上电复位或者系统复位信号有效后进入复位，等待内部信号和电源稳定后，系统进入初始化阶段，装载 feature 寄存器值，内部配置信息清除，初始化完成后，FPGA 开始接受配置数据写入，写入完成后，FPGA 芯片启动阶段，如图 2-9-1 所示。

上电初始化过程

SF1 FPGA 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，用户如果需要重新对配置数据下载，拉低 PROGRAMN 后，系统进入初始化过程，初始化过程中，FPGA 装载 feature 寄存器，然后将清除内部所有配置点，复位内部寄存器。

配置数据写入

SF1 FPGA 初始化完成后，INITN 信号变为高电平，此时用户配置数据可以写入 SF1 FPGA。

INITN 信号变为高的时候，FPGA 根据 feature 寄存器内容确定配置模式。JTAG 可以在任何模式中进入。

配置过程中，INITN 信号变低表示配置出错，出错后可以选择重新加载。

启动阶段

SF1 FPGA 完成所有配置点和块 RAM 的数据写入之后，进入启动过程。SF1 FPGA 启动主要完成以下功能：

- a) 释放 DONE 信号。DONE 信号从低电平变为高电平表示 SF1 FPGA 顺利完成数据配置，反之则表示没有顺利完成配置。
- b) 释放全局三态信号 GTS，全局三态信号 GTS 的释放，能够释放所有 I/O 管脚。
- c) 释放全局复位/置位信号 GSR，允许所有的触发器改变状态。
- d) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

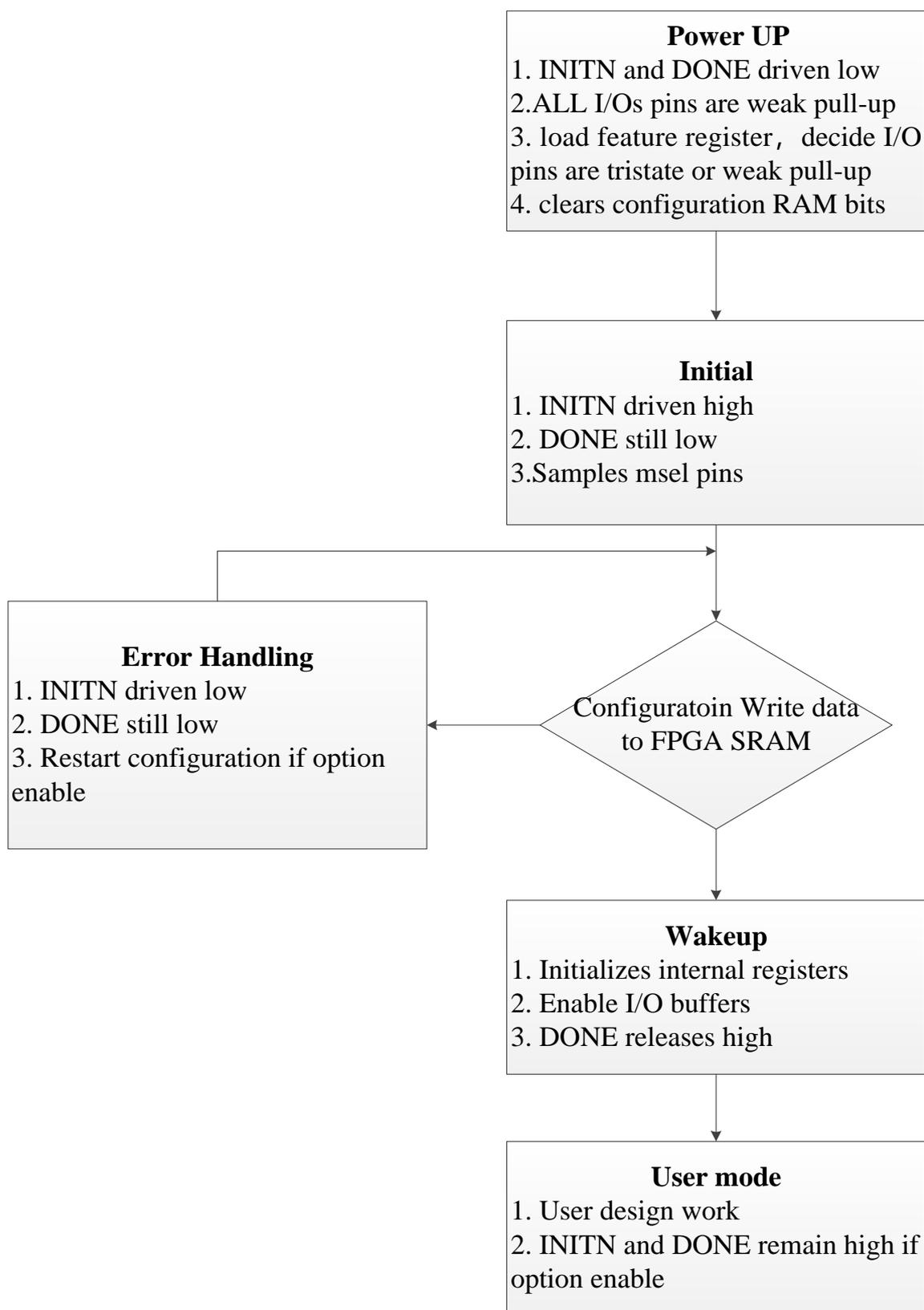


图 2-9-1 SF1 MSPI 配置流程

2.9.3 MSPI 配置模式



在 MSPI 模式下，SF1 通过内部 Flash 进行配置。该模式下配置时钟由内部振荡器产生，用户能够选择下载频率范围。芯片上电时设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改频率，频率范围从 2.5MHz~66MHz，当使用 44MHz 和 66MHz 加载频率时要求上电斜率小于 10ms，否则请选择更低频率。MSPI 支持 x1/x2/x4 位宽模式，可通过 Feature 寄存器设定。

内部 FLASH 数据写入可以使用安路 FPGA 下载器通过 JTAG 在线写入，批量生产时也可通过安路离线下载器写入。

图 2-9-2 是 SF1 MSPI 配置方式连接图，PROGRAMN 信号控制复位 SF1 FPGA 配置，其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号，DONE 信号变高，表示配置成功，芯片开始工作。

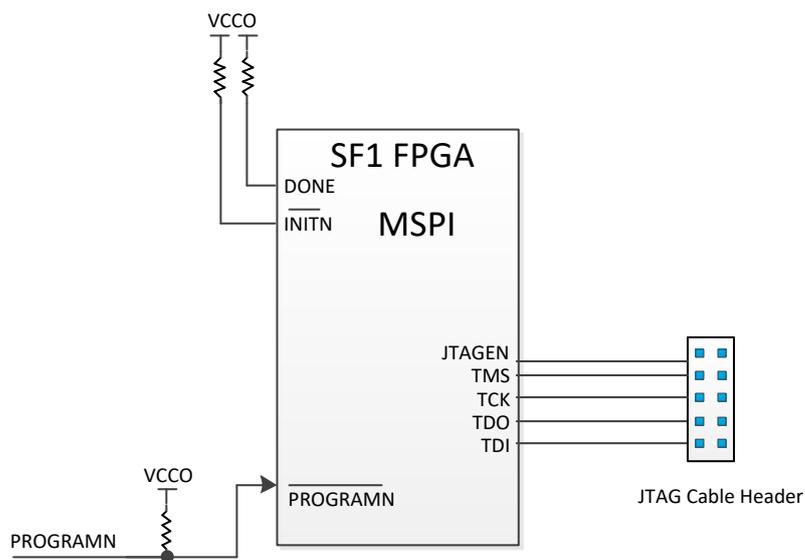


图 2-9-2 SF1 MSPI 配置方式

2.9.4 从动串行配置模式

从动串行（SS）模式下，FPGA 可以通过 MCU 进行加载。TD 软件可以生成 bin 文件用于 MCU 加载。

MCU 通过 SCLK、DIN 信号使用串行方式将数据写入 FPGA。SF1 FPGA 芯片在每个 SCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成，如果配置出错，会将 INITN 信号拉低

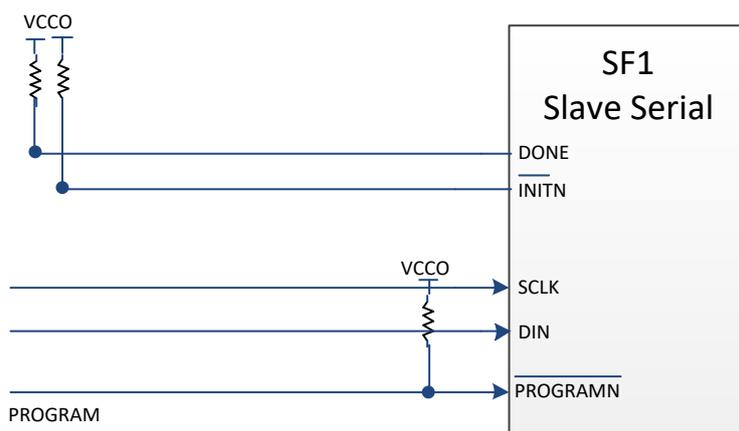


图 2-9-3 SF1 串行配置方式

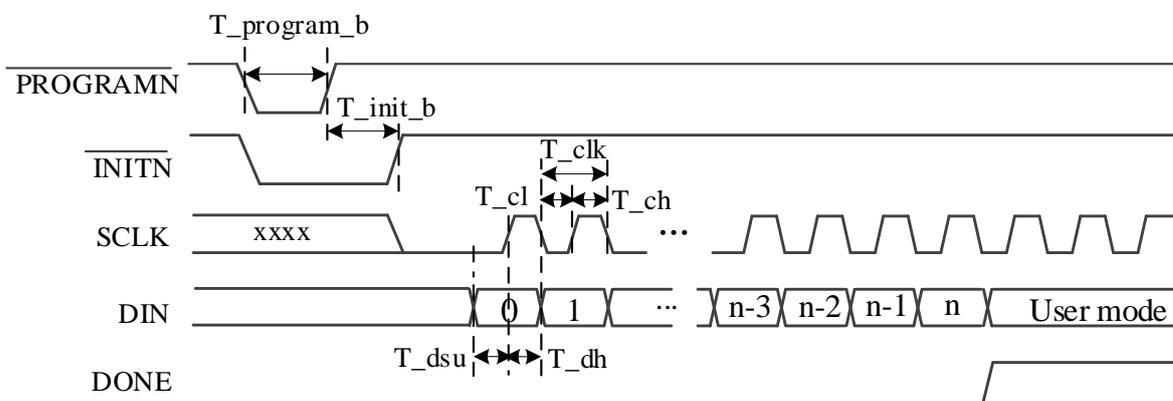


图 2-9-4 SF1 串行配置模式时序图

表 2-9-2 从动串行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width	-	5	ms
T_clk	SCLK period	33	-	ns
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

注：1. FPGA 芯片在每个 SCLK 的上升沿接收数据，为保证时序，建议配置时，在下降沿发送数据

2. SF1 系列器件使用从动串行模式加载时，若用户需要将配置管脚（SCLK/CSON）复用为 GPIO 使用，或是需要通过逻辑对 FLASH 进行读写操作，则 DONE 信号拉高后 SCLK 至少需要再维持 6us 加 10 个周期的时钟输出

2.9.5 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行通过 8 位并行数据写入能够达到较快的配置速度。

如图 2-9-5 所示，其中多个 CSN 信号可以选择多个配置芯片。

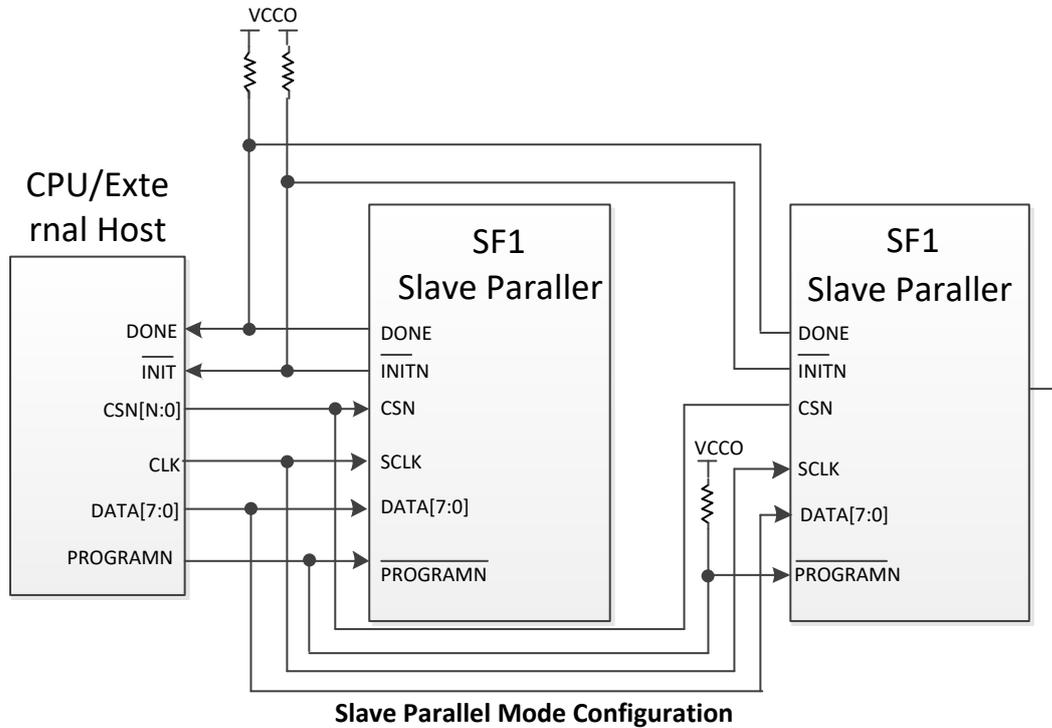


图 2-9-5 从动并行配置方式

从动并行配置模式时序如图 2-9-6 所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSN 有效时，在时钟的上升沿配置数据写入。同样，配置完成后，DONE 信号会变高。

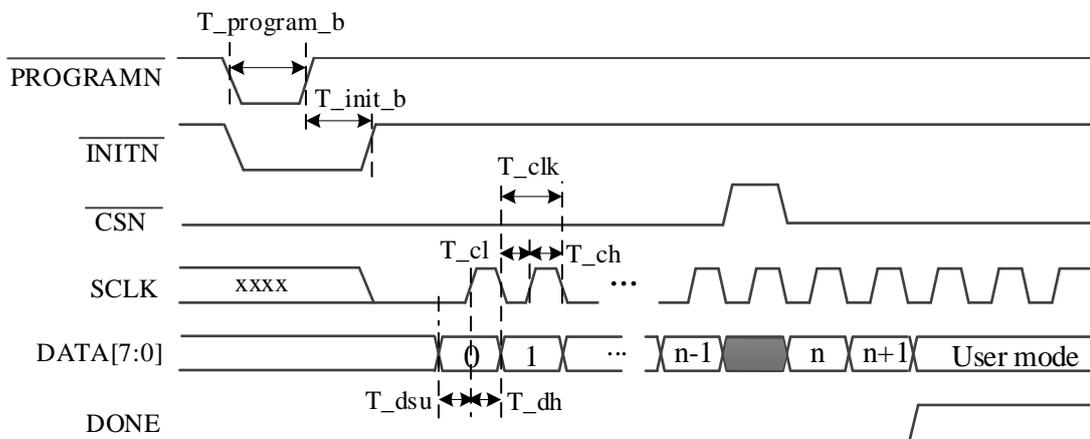


图 2-9-6 SF1 从动并行配置时序图



表 2-9-3 从动并行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width		5	ms
T_clk	SCLK period	33	-	ns
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	15.5	-	ns
T_dh	Data hold time	6	-	ns

注：1. FPGA 芯片在每个 SCLK 的上升沿接收数据，为保证时序，建议配置时，在下降沿发送数据

2. SF1 系列器件使用从动并行模式加载时，若用户需要将配置管脚 (SCLK/CSON) 复用为 GPIO 使用，或是需要通过逻辑对 FLASH 进行读写操作，则 DONE 信号拉高后 SCLK 至少需要再维持 6us 加 10 个周期的时钟输出。

2.9.6 JTAG 配置模式

SF1 FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过配置引脚 (TDI, TDO, TMS, TCK, JTAGEN) 进行的。在 INITN 信号变高后，JTAG 可以通过指令中断其他模式，进入 JTAG 配置模式。

TDI, TDO, TMS, TCK, JTAGEN 为复用 IO。当 TDI, TDO, TMS, TCK 配置为专用 IO 时，JTAGEN 可配置成用户 IO。当 TDI, TDO, TMS, TCK 配置成用户 IO 时，JTAGEN=1 可以将 TDI, TDO, TMS, TCK 强制变成专用 IO。

JTAG 配合使用安路公司专用的 USB 下载线，配合 TD 软件进行，可以通过软件查看配置是否成功。

JTAG 配置模式参考时序与时序规格如图 2-9-7 图 2-9-7 SF1 JTAG 时序图和表 2-9-4 所示。

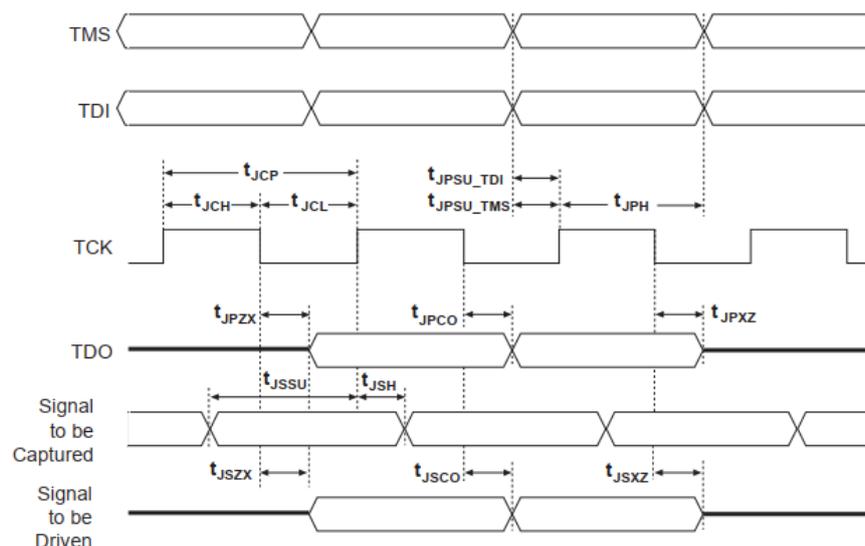


图 2-9-7 SF1 JTAG 时序图



表 2-9-4 SF1JTAG 时序规格表

符号	参数	最小	最大	单位
t_{JCP}	TCK 周期	100	—	ns
t_{JCH}	TCK 高电平时间	48	—	ns
t_{JCL}	TCK 低电平时间	48	—	ns
t_{JPSU_TDI}	TDI 建立时间	6	—	ns
t_{JPSU_TMS}	TMS 建立时间	8	—	ns
t_{JPH}	JTAG 端口保持时间	10	—	ns
t_{JPCO}	JTAG 端口时钟到输出延时	—	16	ns
t_{JPZX}	JTAG 端口有效输出到高阻转换时间	—	16	ns
t_{JPXZ}	抓取寄存器建立时间	—	16	ns
t_{JSSU}	抓取寄存器保持时间	—	—	ns
t_{JSH}	更新寄存器建立时间	—	—	ns
t_{JSCO}	更新寄存器时钟到输出延时	—	—	ns
t_{JSZX}	更新寄存器高阻到有效输出	—	—	ns
t_{JSXZ}	更新寄存器有效输出到高阻	—	—	ns

注：非背景模式下通过 Jtag 烧写 flash 数据，tck 的频率要大于等于 100KHz

2.9.7 IEEE 1149.1 边界扫描测试

SF1 器件所有 IO 都集成边界扫描单元，可以通过标准 1149.1 TAP 控制器来访问和控制 IO，边界扫描指令可以在任何状态下访问 IO 单元（SAMPLE 指令只能在用户模式且为 ININPUT 或 INOUT 下使用）。

2.9.8 DUAL BOOT 功能

SF1 在 MSPI 模式下支持 Dual Boot 功能。当 Primary 位流下载失败后，SF1 FPGA 自动跳转到地址 0x040000 去读取 golden 位流。图 2-9-8 所示为 Dual Boot 下内部 SPI Flash 的数据空间分配。

Dual boot flash map	
0x000000	Primary bitstream
.....	
0x040000	Golden address
.....	
0x041000	Golden bitstream
.....	



图 2-9-8 SF1 Dual Boot SPI Flash 的数据空间分配

2.9.9 MULT BOOT 功能

MSPi 模式下，用户可以使用 TD 软件设置 Mult Boot 功能。当进入用户模式后，应用本身可以通过接口触发信号 `rebootn=0`，从指定的内部 SPI Flash 地址重新开始下载位流。由于 SF1 内部 flash 限制，建议只存放两套位流，第二个 bit 流存放在 `0x040000` 位置处。需要注意的是，`rebootn` 信号保持低电平的时间需大于 `2.5us`。

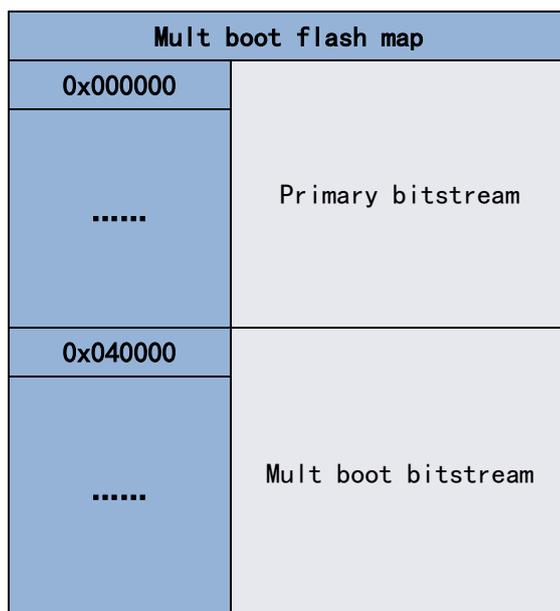


图 2-9-9 SF1 Mult Boot SPI Flash 的数据空间分配

2.9.10 FPGA I/O 引脚在配置阶段的设置

在配置阶段，FPGA 的专用引脚有上拉/下拉电阻，用户 I/O 引脚在配置过程中有可选的上拉电阻。HSWAPEN 控制位来决定用户 I/O 引脚上是否使能上拉电阻。

在 SF1 中，HSWAPEN 默认值为 1，只能通过软件改写。

2.9.11 FPGA I/O 引脚在配置阶段的状态

(1) 非配置相关 IO

芯片上电完成后 feature 寄存器加载前，非配置相关 IO 处于弱上拉；

加载过程中，普通 IO 的状态受 HSWAPEN 控制，可以为弱上拉或者三态；

进入用户模式之后，用户使用的 IO 脚状态受代码控制，未使用的管脚为弱上拉状态

(2) 配置相关引脚跟配置设置相关，如表 2-9-5 所示

表 2-9-5 SF1 Configuration Pin Termination

Pin	配置成功前	配置成功后
-----	-------	-------



	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
GSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O
USRCLK ¹	Pull-up to Vccio	Pull-up to Vccio	User I/O

注：1. USRCLK 仅作为内部测试引脚使用

2.9.12 DNA 安全功能

SF1 FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以利用 DNA 进行用户设计保护。TD 软件将提供 IP 接口，使用户读出 DNA 数据。如图 2-9-10、图 2-9-11 所示。Usr_dna_in 为移位数据输入，用于接口测试使用。

Dna_clk 时钟频率范围 0~20MHz，dna_shift 建议采用时钟下降沿送出，保证时序要求。

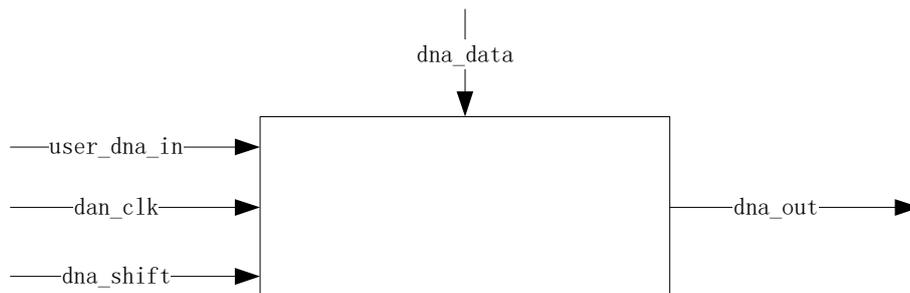


图 2-9-10 SF1 DNA IP

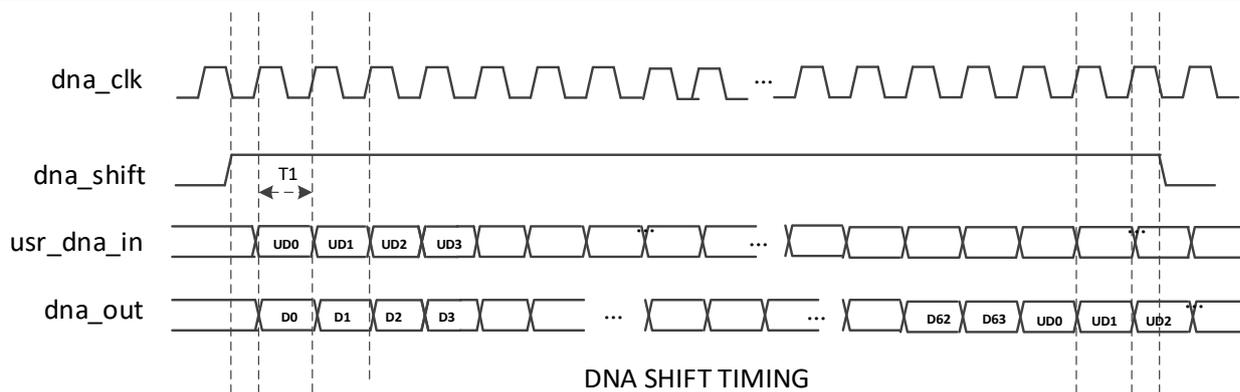


图 2-9-11 SF1 DNA 时序图

2.10 RISC-V MCU 模块

SF1 系列 FPGA 内部集成了一个 RISC-V MCU，由于它以纯硬件的方式进行处理，所以可以使系统达到很高的性能，给用户提供一种更高性能、高性价比、低功耗的解决方案。

SF1 系列 RISC-V MCU 模块有以下特性：

- 支持 RV32IMCA 指令集
- 三级流水设计，最大主频 160Mhz
- 支持机器模式和用户模式，支持 PMP (Physical Memory Protection)
- 快速的中断响应
- 拥有 8KB icache，8KB dcache 和 8KB 的 DLM (data local memory)
- 包含通用外设 SPIM、I2CM、UART、GPIO
- 通过 AHB 总线访问 Fabric 的软核逻辑
- 支持功能丰富的软件开发调试环境

2.10.1 系统结构

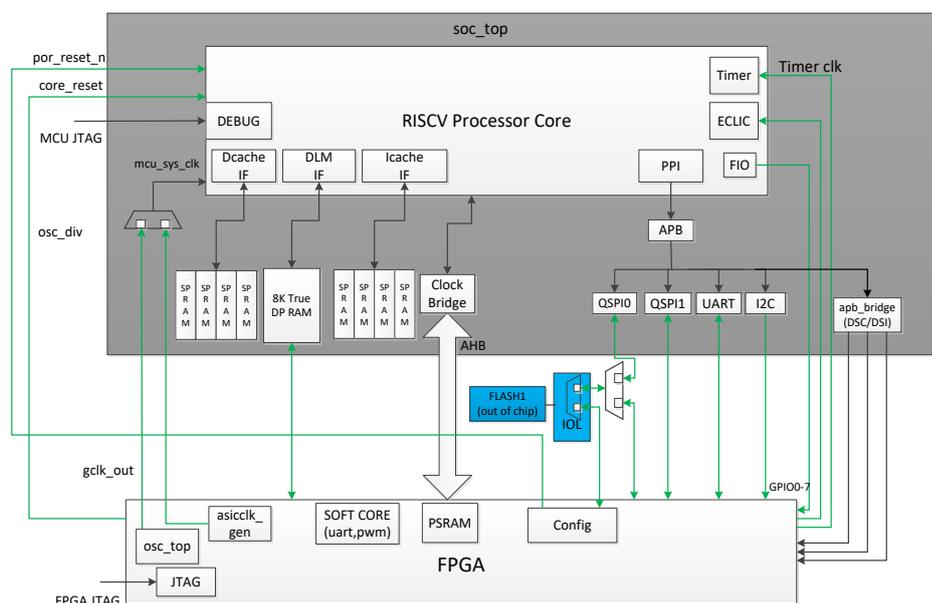


图 2-10-1 RISC-V MCU 模块结构

如图 2-10-1 所示，RISC-V MCU 集成了三级流水线的 RISC-V 内核以及大量外设。RISC-V MCU 的 core clock 来自片上 OSC 或者 PLL（由内部寄存器选择），RISC-V MCU 的 APB 与 DSC、DSI 等硬核模块通过硬线直连，用户可以通过 MCU 对这些模块进行初始化及配置。RISC-V MCU 的 AHB 通过 PIB 连接到 FABRIC 上，可以通过 AHB 总线访问 FPGA 内部由逻辑搭建的软核外设，也可以访问 FPGA 内部的 SRAM、

PSRAM 等存储单元。此外，在该架构中，RISC-V 所有的 IO 都与 FPGA 相连，因此，RISC-V 的系统时钟、中断、调试接口，都需要通过用户配置 FPGA 来实现。

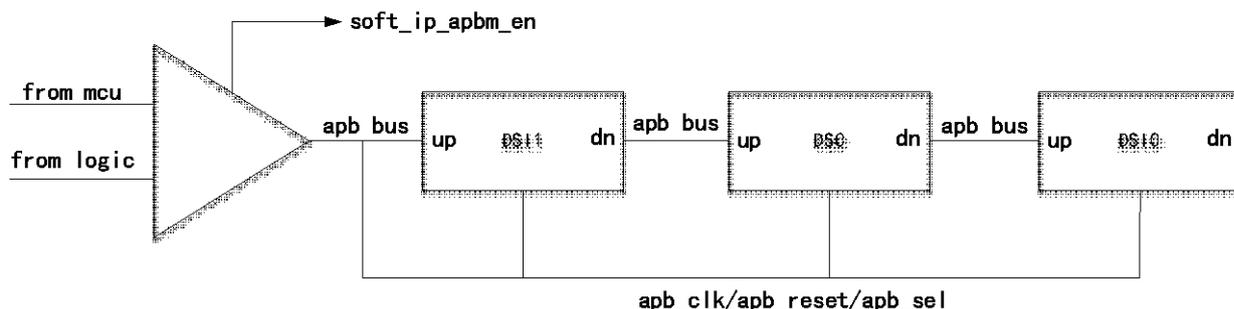


图 2-10-2 DSI、DSC 配置级联图

如图 2-10-2 所示，DSI、DSC 的配置链路以 APB 串联的方式实现，可以由 MCU 访问控制，也可以通过用户逻辑实现的 APB master 来配置。

表 2-10-1 RISC-V MCU 参数

参数名	描述	默认值
RESET_VECTOR	上电启动地址，需要与 SDK 配合使用	32'hE_0000
ICACHE_DISABLE_INIT	ICACHE 使能，需要与 SDK 配合使用	DISABLE
DCACHE_DISABLE_INIT	DCACHE 使能，需要与 SDK 配合使用	DISABLE

表 2-10-2 RISC-V MCU 接口说明

端口名	方向	位宽	描述
soft_ip_apbm_en	输入	1	DSI、DSC 配置接口权限控制 1' b1: 使能逻辑配置 DSI、DSC 的 APB 接口通路 1' b0: 由 MCU 控制 DSI、DSC 的 APB 配置通路
qspi0cfg1_mode	输入	1	FLASH 权限控制 1' b1: FLASH 访问接口由 MCU 使用 1' b0: FLASH 访问接口由逻辑控制使用
qspi0cfg2_mode	输入	1	FLASH 权限控制（封装不同） 1' b1: FLASH 访问接口由 MCU 使用 1' b0: FLASH 访问接口由逻辑控制使用
core_clk	输入	1	MCU 输入时钟，由 MCU 寄存器控制是否使用
core_reset	输入	1	系统复位，复位 MCU 除 JTAG 以外的所有模块，可以由 FPGA 逻辑产生复位信号。
sysrstreq	输出	1	Debug/SW reset 模式下用于 reset SOC 系统。
timer_clk	输入	1	MCU 计时器模块的低频时钟，可以由 FPGA 内部时钟分频产生。



端口名	方向	位宽	描述
jtag_TCK	输入	1	JTAG TCK signal.
jtag_TMS_in	输入	1	4-wire JTAG TMS signal 2-wire JTAG TMS input signal from I/O PAD.
jtag_TMS_out	输出	1	2-wire JTAG TMS output signal to I/O PAD
jtag_DRV_TMS	输出	1	2-wire JTAG TMS output enable signal to I/O PAD. When the TMS is outputting, this DRV_TMS signal will be high to enable I/O PAD as output
jtag_TDI	输入	1	4-wire JTAG TDI signal.
jtag_TDO	输出	1	4-wire JTAG TDO signal.
jtag_DRV_TDO	输出	1	4-wire JTAG TDO output enable signal to I/O PAD. When the TMO is outputting, this DRV_TMO signal will be high to enable I/O PAD as output.
jtag_dwen	0	1	指示 soc 已经进入二线调试模式
nmi	输入	1	非屏蔽中断
clic_irq	输入	16	FPGA 产生的 MCU 中断输出
d1m_cs	输出	1	SRAM' s Csa signal.
d1m_byte_we	输出	4	SRAM' s wea signal.
d1m_addr	输出	11	SRAM' s ADDR signal.
d1m_wdata	输出	32	SRAM' s RAM_IN signal.
d1m_rdata	输入	32	SRAM' s RAM_OUT signal.
clk_d1m_ram	输出	1	SRAM' s CLK signal
hclk	输出	1	AHB-Lite protocol' s HCLK signal.
htrans	输出	2	当 soft_ip_apbm_en=0 时 AHB-Lite protocol' s HTRANS signal. 当 soft_ip_apbm_en=1 时 bit[1]:APB protocol' s READY signal bit[0]:APB protocol' s SLVERR signal
hwrite	输出	1	AHB-Lite protocol' s HWRITE signal.
haddr	输出	32	AHB-Lite protocol' s HADDR signal.
hsize	输出	3	AHB-Lite protocol' s HSIZE signal
hburst	输出	3	AHB-Lite protocol' s HBURST signal.
hprot	输出	4	AHB-Lite protocol' s HPROT signal.
hmasklock	输出	1	AHB-Lite protocol' s HLOCK signal.



端口名	方向	位宽	描述
hwdata	输出	32	AHB-Lite protocol' s HWDATA signal.
hrdata	输入	32	当 soft_ip_apbm_en=0 时 AHB-Lite protocol' s HRDATA signal. 当 soft_ip_apbm_en=1 时 APB protocol' s WDATA signal
hresp	输入	2	当 soft_ip_apbm_en=0 时 AHB-Lite protocol' s HRESP signal 当 soft_ip_apbm_en=1 时 bit[1]:APB protocol' s WRITE signal bit[0]:APB protocol' s ENABLE signal
hready	输入	1	AHB-Lite protocol' s HREADY signal
ext_apb_clk	输入	1	APB protocol' s CLK signal
ext_apb_pprot	输入	3	APB protocol' s PPROT signal
ext_apb_pstrobe	输入	4	APB protocol' s PSTROBE signal
ext_apb_addr	输入	32	APB protocol' s ADDR signal
ext_apb_psel	输入	1	APB protocol' s PSEL signal
uart_tx	输出	1	UART' s TX signal
uart_rx	输入	1	UART' s RX signal
i2c_sda_in	输入	1	I2C' s SDA IN signal
i2c_sda_out	输出	1	I2C' s SDA OUT signal
i2c_sda_sel	输出	1	I2C' s SDA SEL signal
i2c_scl_in	输入	1	I2C' s SCL IN signal
i2c_scl_out	输出	1	I2C' s SCL OUT signal
i2c_scl_sel	输出	1	I2C' s SCL SEL signal
qspi1_clk	输出	1	QSPI1' s CLK signal.
qspi1_ss	输出	1	QSPI1' s SS signal.
qspi1_mosi	输出	1	QSPI1' s MOSI/ QSPI1 D0 OUTPUT
qspi1_d0_in	输入	1	QSPI1 D0 INPUT
qspi1_miso	输入	1	QSPI1' s MISO/ QSPI1 D1 INPUT
qspi1_d1_out	输出	1	QSPI1 D1 OUTPUT
qspi1_d2_in	输入	1	QSPI1 D2 INPUT
qspi1_d2_out	输出	1	QSPI1 D2 OUTPUT
qspi1_d3_in	输入	1	QSPI1 D3 INPUT
qspi1_d3_out	输出	1	QSPI1 D3 OUTPUT
qspi1_dir	输出	4	QSPI1 Direction selection signal.
gpio0_in	输入	1	GPIO0 INPUT



端口名	方向	位宽	描述
gpio0_out	输出	1	GPIO0 OUTPUT
gpio0_dir	输出	1	GPIO0 direction
gpio1_in	输入	1	GPIO1 INPUT
gpio1_out	输出	1	GPIO1 OUTPUT
gpio1_dir	输出	1	GPIO1 direction
gpio2_in	输入	1	GPIO2 INPUT
gpio2_out	输出	1	GPIO2 OUTPUT
gpio2_dir	输出	1	GPIO2 direction
gpio3_in	输入	1	GPIO3 INPUT
gpio3_out	输出	1	GPIO3 OUTPUT
gpio3_dir	输出	1	GPIO3 direction
gpio4_in	输入	1	GPIO4 INPUT
gpio4_out	输出	1	GPIO4 OUTPUT
gpio4_dir	输出	1	GPIO4 direction
gpio5_in	输入	1	GPIO5 INPUT
gpio5_out	输出	1	GPIO5 OUTPUT
gpio5_dir	输出	1	GPIO5 direction
gpio6_in	输入	1	GPIO6 INPUT
gpio6_out	输出	1	GPIO6 OUTPUT
gpio6_dir	输出	1	GPIO6 direction
gpio7_in	输入	1	GPIO7 INPUT
gpio7_out	输出	1	GPIO7 OUTPUT
gpio7_dir	输出	1	GPIO7 direction
mtip	输出	1	Timer notice
apb_clk	输出	1	Used to configure DSI/DSC, HARD WIRE
apb_prdata	输入	32	Used to configure DSI/DSC, HARD WIRE
apb_pwdata	输出	32	Used to configure DSI/DSC, HARD WIRE
apb_pstrobe	输出	4	Used to configure DSI/DSC, HARD WIRE
apb_pprot	输出	3	Used to configure DSI/DSC, HARD WIRE
apb_penable	输出	1	Used to configure DSI/DSC, HARD WIRE
apb_pwrite	输出	1	Used to configure DSI/DSC, HARD WIRE
apb_pslverr_i	输入	1	Used to configure DSI/DSC, HARD WIRE
apb_pready_i	输入	1	Used to configure DSI/DSC, HARD WIRE
apb_paddr_o	输出	12	Used to configure DSI/DSC, HARD WIRE
apb_psel0_o	输出	1	Used to configure DSI/DSC, HARD WIRE
apb_psel1_o	输出	1	Used to configure DSI/DSC, HARD WIRE



端口名	方向	位宽	描述
apb_psel2_o	输出	1	Used to configure DSI/DSC, HARD WIRE

用户将 RISC-V MCU 以及 FPGA 的位流组合后写入 FLASH 中，上电之后 FPGA 先进行初始化并加载 FLASH 中的程序并启动。将 FPGA 加载完成后 MCU 开始从 FLASH 地址（32'hE_0000）读取用户程序。

MCU 开始启动由 reset 的释放开始：

（当 core_reset 为 default 为 0）MCU 从 config 释放 PoR Reset 的时刻开始启动。

（当 core_reset 为 default 为 1）MCU 的启动可以由 soft IP 来控制（把 core_reset 拉低）。

使用 anlogic Studio 或命令行环境进行软件开发，编译器使用 GCC 工具链，支持 C/C++ 语言开发，支持 GDB /OPENOCD 对 CPU 调试。

2.11 PSRAM

2.11.1 简介

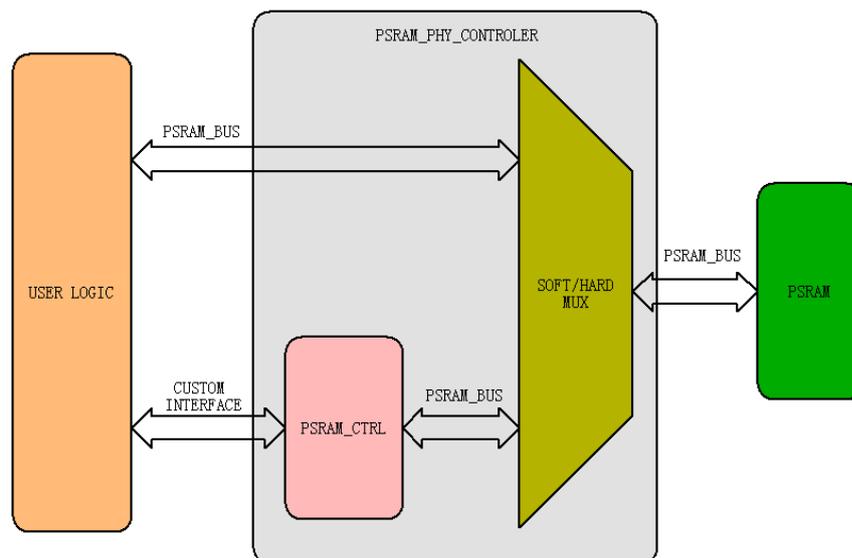


图 2-11-1 PSRAM 硬核控制器框图

- SF1 系列内嵌两片 4Mx8bits/8Mx8bits 的 PSRAM，总存储容量达到 64Mbits/128Mbits。
- 内部集成了 PSRAM 硬核控制器，通过简单的自定义接口即可读写 PSRAM，无需设计复杂的控制逻辑，减少资源占用。
- 支持旁路硬核控制器，由用户自己直接访问 PSRAM，使得设计更加灵活。
- PSRAM 和硬核控制器最高支持 200MHz 读写频率，最大读写带宽高达 400MB/s。

2.11.2 端口说明

SF1 系列内部集成了 PSRAM 硬核控制器，只需在 IP generate 中例化，然后在用户模块中调用即



可，每个硬核控制器控制一片 PSRAM，因此同时使用两片 PSRAM 需要例化两个硬核控制器，硬核控制器的端口及说明见表 2-11-1。

表 2-11-1 PSRAM 硬核控制器参数说明

名称	描述	默认值
SOFT_IP_EN	选择软核还是硬核实现 HARD_PSRAM: 硬核 NO_HARD_PSRAM: 软核	HARD_PSRAM

表 2-11-2 PSRAM 硬核控制器端口及说明

名称	方向	位宽	信号说明
use_dqs_en_i	输入	1	回读采集时钟选择 1' b1: 选择 DQS 作为回读时钟 1' b0: 选择 clk_unknown_phase_i 作为回读时钟
dqs_delay_i	输入	5	dqs 延时控制，选择不同延时的 dqs，以便精准采样 PSRAM 颗粒回读数据，最大支持 32 级延时调节，每级延迟 40~100ps。
idle_en_i	输入	1	空闲时关闭时钟使能标志。 1' b1: 空闲时关闭 psram 时钟，以降低功耗。 1' b0: 一直开启 param 时钟。
drive_str_i	输入	2	驱动强度设置，用于配置 PSRAM MRO[1:0]
latency_code_i	输入	3	回读延时设置，用于配置 PSRAM MRO[4:2]
lt_i	输入	1	回读延时模式，用于配置 PSRAM MRO[5]，取值 0 表示可变延时，反之固定。
wl_i	输入	1	写入延时控制，用于配置 PSRAM MR4[7]，当系统时钟大于 166MHz 时，取值为 1，反之取值为 0。
sample_full_o	输出	1	回读数据跨时钟 FIFO 的满信号标志。
sample_empty_o	输出	1	回读数据跨时钟 FIFO 的空信号标志。
rst_n_i	输入	1	系统复位，低电平复位。
clk_i	输入	1	系统时钟
clk_90_i	输入	1	系统时钟 clk_i 移相 90 度后的时钟
clk_unknown_phase_i	输入	1	当 use_dqs_en_i=0 时，可使用该时钟采集回读数据。
tdata_i	输入	16	写入的帧数据。
tvalid_i	输入	1	写入的帧数据同步指示，高电平有效。
tlast_i	输入	1	写入的帧尾指示
tkeep_i	输入	2	写入的字节有效指示。 2' b00: 写入数据不需要丢掉处理。



名称	方向	位宽	信号说明
			2' b01: 仅 tdata_i[7:0]需要丢掉。 2' b10: 仅 tdata_i[15:8]需要丢掉。 2' b11: tdata_i[15:0]需要丢掉。
tready_o	输出	1	写入帧数据的准备指示，高电平有效。
rvalid_o	输出	1	回读 PSRAM 数据的同步指示，高电平有效。
rdata_o	输出	16	回读 PSRAM 的数据

如果不使用 PSRAM 硬核控制器，也可以将硬核控制器旁路，直接去访问 PSRAM 的端口。需要在 adc 文件中约束 PSRAM 端口对应的 FPGA 管脚，即将顶层文件中 PSRAM 的端口信号绑定到相应的 FPGA 管脚即可。两片 PSRAM 端口所对应的 FPGA I/O 信号列表见表 2-11-3。

表 2-11-3 PSRAM 对应的 FPGA 管脚

PSRAM	I/O	PSRAM 信号名
PSRAM_0	S13_0_14	PSRAM_0_DM
	S13_0_13	PSRAM_0_DQ0
	S13_0_12	PSRAM_0_DQ1
	S13_0_11	PSRAM_0_DQ2
	S13_0_10	PSRAM_0_DQ3
	S13_0_9	PSRAM_0_CE#
	S13_0_8	PSRAM_0_CLK
	S13_0_7	PSRAM_0_CLK#
	S13_0_6	PSRAM_0_DQ4
	S13_0_5	PSRAM_0_DQ5
	S13_0_4	PSRAM_0_DQ6
	S13_0_3	PSRAM_0_DQ7
PSRAM_1	S13_1_14	PSRAM_1_DM
	S13_1_13	PSRAM_1_DQ0
	S13_1_12	PSRAM_1_DQ1
	S13_1_11	PSRAM_1_DQ2
	S13_1_10	PSRAM_1_DQ3
	S13_1_9	PSRAM_1_CE#
	S13_1_8	PSRAM_1_CLK
	S13_1_7	PSRAM_1_CLK#
	S13_1_6	PSRAM_1_DQ4
	S13_1_5	PSRAM_1_DQ5
	S13_1_4	PSRAM_1_DQ6
	S13_1_3	PSRAM_1_DQ7



PSRAM	I/O	PSRAM 信号名
	S13_1_2	PSRAM_1_DQS

2.12 MIPI DSI Controller 简介

2.12.1 简介

MIPI DSI Controller 是一个全数字的内核并包含了 MIPI D-PHY，兼容 MIPI DSI 标准所定义的所有协议。MIPI DSI Controller 为系统与 MIPI DPHY 之间提供了一个接口，从而实现系统与 DSI 显示外设或 DSI 主机之间的通信。MIPI DSI Controller 能被定义为主设备或者从设备。

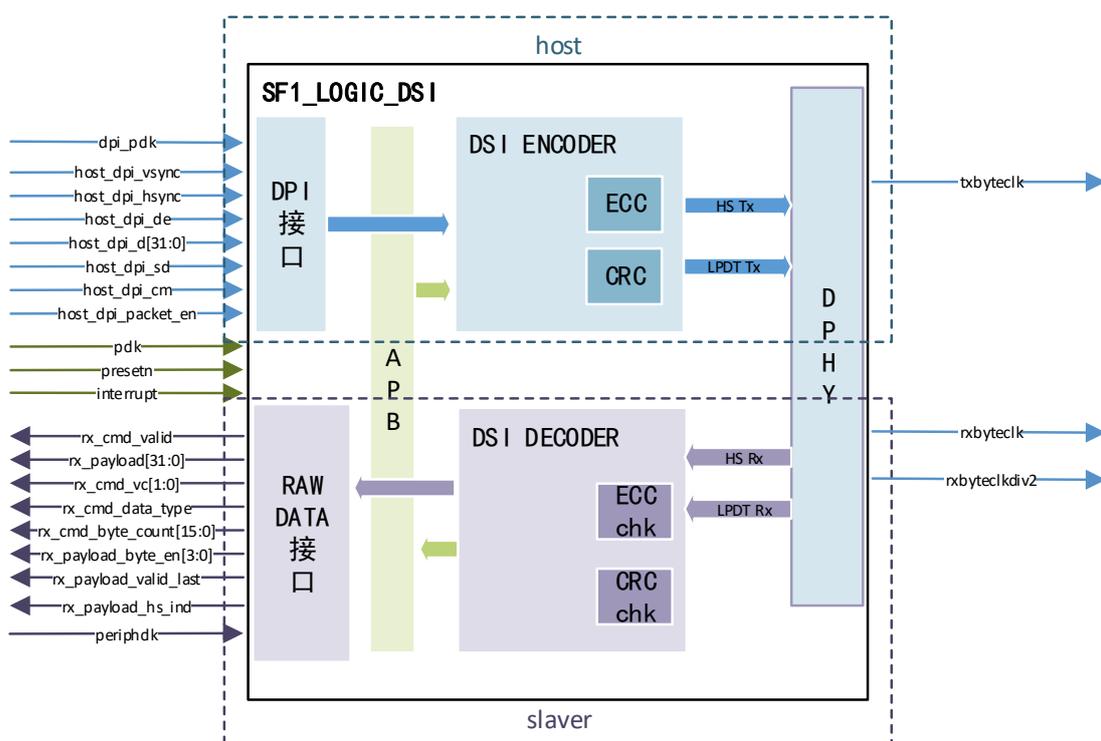


图 2-12-1 MIPI DSI Controller 框图

2.12.2 性能列表

- 支持 MIPI 联盟规范定义的 Display Command Set (DCS) 中的所有命令
- 每一个 D-PHY 通道支持高达 2.2Gbps 数据速率。
- D-PHY 数据通道 0 支持双向通信和 escape mode。
- D-PHY 模式支持连续和非连续发包。
- 支持未用 PLL 的超低功耗模式 (Ultra Low-Power mode)。
- 支持 ECC and Checksum 功能。



- 支持发送结束传输包 (EoTp)。
- 故障恢复策略。
- 丰富的接口选择：
 - 用于 DCS 命令的 APB 接口。
 - 用于 MIPI Video mode 的 DPI 接口。
 - 可同时支持 Video mode 和 Command mode 的 aIDPI 接口。
- DPI 接口信号极性可编程。
- 增强型 DPI (aIDPI) 接口，兼容 DPI 接口，额外支持 WMS 和 WMC 指令。
- 支持测试模式，可独立生成测试画面。
- MIPI DSI 控制器不支持长度为 0 的数据包接收。

2.12.3 配置接口说明

DSI 控制器包含本身的控制通路和数据输入输出通路，在使用前，需要将 DSI 控制器配置在需要的工作模式，DSI 控制器的配置通路为 APB 接口，定义如下表所示。其中 HARDWARE 代表信号为固定走线，只能连到 APB 串联链路中，上/下一级 APB 接口的输入输出。

表 2-12-1 DSI 配置接口信号列表

名称	方向	位宽	接口说明
preset	输入	1	APB 接口复位信号；高电平有效
apb_pclk	输入	1	APB 接口时钟信号。
apb_paddr_up	输入	12	配置链路中 DSI 配置入口，HARDWARE
apb_pprot_up	输入	3	配置链路中 DSI 配置入口，HARDWARE
apb_pstrobe_up	输入	4	配置链路中 DSI 配置入口，HARDWARE
apb_pwdata_up	输入	32	配置链路中 DSI 配置入口，HARDWARE
apb_prdata_up	输出	32	配置链路中 DSI 配置入口，HARDWARE
apb_pready_up	输出	1	配置链路中 DSI 配置入口，HARDWARE
apb_pslverr_up	输出	1	配置链路中 DSI 配置入口，HARDWARE
apb_pwrite_up	输入	1	配置链路中 DSI 配置入口，HARDWARE
apb_psel_up	输入	1	配置链路中 DSI 配置入口，HARDWARE
apb_dmode_up	输入	1	配置链路中 DSI 配置入口，HARDWARE
apb_penable_up	输入	1	配置链路中 DSI 配置入口，HARDWARE
apb_paddr_down	输出	12	配置链路中 DSI 配置出口，HARDWARE
apb_pprot_down	输出	3	配置链路中 DSI 配置出口，HARDWARE
apb_pstrobe_down	输出	4	配置链路中 DSI 配置出口，HARDWARE



名称	方向	位宽	接口说明
apb_pwdata_down	输出	32	配置链路中 DSI 配置出口, HARDWIRE
apb_prdata_down	输入	32	配置链路中 DSI 配置出口, HARDWIRE
apb_pready_down	输入	1	配置链路中 DSI 配置出口, HARDWIRE
apb_pslverr_down	输入	1	配置链路中 DSI 配置出口, HARDWIRE
apb_pwrite_down	输出	1	配置链路中 DSI 配置出口, HARDWIRE
apb_dmode_down	输出	1	配置链路中 DSI 配置出口, HARDWIRE
apb_penable_down	输出	1	配置链路中 DSI 配置出口, HARDWIRE

2.12.4 数据接口管脚说明

DSI 控制器的数据输入输出接口定义如下。

表 2-12-2 DSI 数据接口信号列表

名称	方向	时钟域	接口说明
interrupt	输出	1	DSI 错误中断信号; 高电平有效
clkesc	输出	1	接收时的 LP 模式采样时钟 发送时 LP 模式的驱动时钟
txbyteclk	输出	1	来源于 DPHY Tx, MIPI 线时钟的四分之一
host_dpi_pclk	输入	1	DPI/aIDPI 接口时钟
host_dpi_vsync	输入	1	DPI 接口场同步信号 aIDPI 接口写缓存开始信号
host_dpi_hsync	输入	1	DPI 接口行同步信号
host_dpi_de	输入	1	DPI/aIDP 接口数据有效信号
host_dpi_d	输入	32	DPI/aIDPI 接口数据
host_dpi_sd	输入	1	视频传输终止控制信号
host_dpi_cm	输入	1	切换颜色模式控制信号
host_dpi_packet_en	输入	1	特殊包使能信号
rxbyteclk	输出	1	来源于 DPHY Rx, MIPI 线时钟的四分之一
rxbyteclkdvi2	输出	1	来源于 DPHY Rx, MIPI 线时钟的八分之一
rx_periphclk	输入	1	接收端口同步时钟
rx_cmd_valid	输出	1	数据包的包头有效信号
rx_cmd_vc	输出	2	数据包虚拟通道号
rx_cmd_data_type	输出	6	数据包类型
rx_cmd_byte_count	输出	16	短包时为数据内容, 长包时为数据长度
rx_payload	输出	64	接收数据
rx_payload_valid	输出	1	接收数据有效信号
rx_payload_byte_en	输出	4	接收数据字节使能



名称	方向	时钟域	接口说明
rx_payload_valid_last	输出	1	数据包的最后一个数据指示信号
rx_payload_hs_ind	输出	1	数据包类型指示 1' b1: HS 包; 1' b0: LP 包
cn	双向	1	HARD WIRE
cp	双向	1	HARD WIRE
dn0	双向	1	HARD WIRE
dp0	双向	1	HARD WIRE
dn1	双向	1	HARD WIRE
dp1	双向	1	HARD WIRE
dn2	双向	1	HARD WIRE
dp2	双向	1	HARD WIRE
dn3	双向	1	HARD WIRE
dp3	双向	1	HARD WIRE

2.13 DSC DECODE 模块

SF1 系列 FPGA 内部集成了一个 DSC (VESA Display Stream Compression) 解码模块，符合最新的 VESA DSC 1.2a 标准，能够实现 1440x3200 60Hz、1080x2400 120Hz 压缩数据的解码恢复，能够有效的缓解移动显示领域的传输带宽问题。SF1 系列 DSC DECODE 模块有以下特性：

- 支持 8/10bit per component
- 支持 APB 接口配置寄存器
- 支持 YUV422
- 支持 1:2、1:3 解压缩
- 最大支持 1440x3200 60Hz 分辨率

SF1N60VG81 器件不支持 DSC DECODE 模块。

2.13.1 系统结构

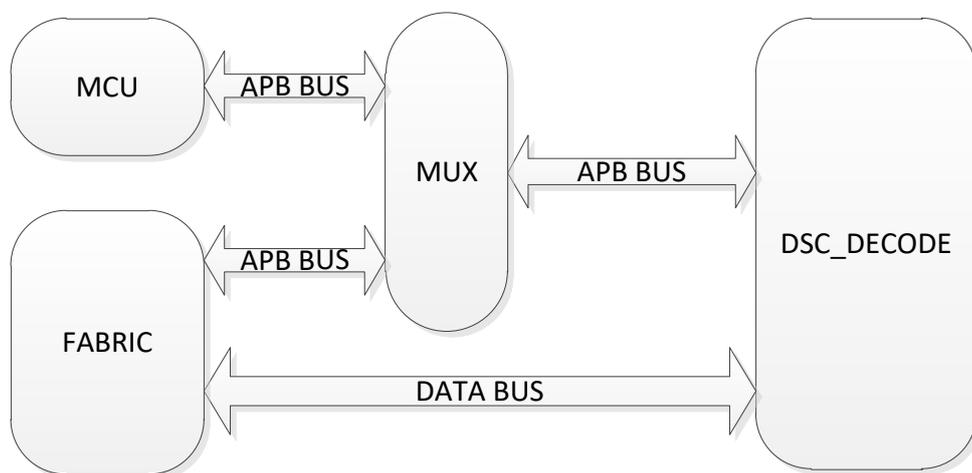


图 2-13-1 DSC DECODE 模块结构

DSC DECODE 模块主要包括了数据通道 (DATA BUS) 和配置通道 (APB BUS)，配置通道实现对 DSC 模块的寄存器初始化。DSC 寄存器包含了所有编解码相关的关键信息，只有这些寄存器数据与压缩数据流相匹配才能实现正确的解码。SF1 支持通过内部 MCU 的 APB BUS 对 DSC DECODE 的寄存器进行配置，在用户不使用 MCU 的情况下，也支持用户通过逻辑直接对 DSC DECODE 模块的寄存器进行配置，两种方式给用户提供了较大的灵活度。

DSC DECODE 模块数据通道由用户逻辑直接访问，实现压缩数据帧的传入及解码输出。经过 DSC DECODE 正确解码后，用户的压缩数据可以直接转化为 RGB 格式的数据传入其他模块。

2.13.2 端口说明

DSC DECODE 模块的配置通路定义如下。其中 HARDWIRE 代表信号为固定走线，只能连到 APB 串联链路中，上/下一级 APB 接口的输入输出。



表 2-13-1 DSC 配置接口信号列表

名称	方向	位宽	接口说明
apb_preset	输入	1	APB 接口全局复位信号；高电平有效
apb_pclk	输入	1	APB 接口时钟信号。
apb_paddr_up	输入	12	配置链路中 DSC 配置入口，HARDWIRE
apb_pprot_up	输入	3	配置链路中 DSC 配置入口，HARDWIRE
apb_pstrobe_up	输入	4	配置链路中 DSC 配置入口，HARDWIRE
apb_pwdata_up	输入	32	配置链路中 DSC 配置入口，HARDWIRE
apb_prdata_up	输出	32	配置链路中 DSC 配置入口，HARDWIRE
apb_pready_up	输出	1	配置链路中 DSC 配置入口，HARDWIRE
apb_pslverr_up	输出	1	配置链路中 DSC 配置入口，HARDWIRE
apb_pwrite_up	输入	1	配置链路中 DSC 配置入口，HARDWIRE
apb_psel_up	输入	1	配置链路中 DSC 配置入口，HARDWIRE
apb_dmode_up	输入	1	配置链路中 DSC 配置入口，HARDWIRE
apb_penable_up	输入	1	配置链路中 DSC 配置入口，HARDWIRE
apb_paddr_down	输出	12	配置链路中 DSC 配置入口，HARDWIRE
apb_pprot_down	输出	3	配置链路中 DSC 配置入口，HARDWIRE
apb_pstrobe_down	输出	4	配置链路中 DSC 配置入口，HARDWIRE
apb_pwdata_down	输出	32	配置链路中 DSC 配置入口，HARDWIRE
apb_prdata_down	输入	32	配置链路中 DSC 配置入口，HARDWIRE
apb_pready_down	输入	1	配置链路中 DSC 配置入口，HARDWIRE
apb_pslverr_down	输入	1	配置链路中 DSC 配置入口，HARDWIRE
apb_pwrite_down	输出	1	配置链路中 DSC 配置入口，HARDWIRE
apb_dmode_down	输出	1	配置链路中 DSC 配置入口，HARDWIRE
apb_penable_down	输出	1	配置链路中 DSC 配置入口，HARDWIRE

DSC DECODE 模块视频数据输入输出接口定义如下：

表 2-13-2 DSC DECODE 数据接口信号列表

名称	方向	位宽	接口描述
dec_clk	输入	1	DSC DECODE 模块系统时钟
arst	输入	1	复位信号，复位全部寄存器
sw_rst	输入	1	软复位，复位部分寄存器
dec_sof	输入	1	压缩数据帧头信号
dec_valid_in	输入	1	压缩数据有效信号
dec_data_in	输入	64	压缩数据
dec_nvbit_in	输入	4	压缩数据字节使能
dec_end_line_in	输入	1	压缩数据行结束信号



名称	方向	位宽	接口描述
dec_end_frame_in	输入	1	压缩数据帧结束信号
dec_hsync_in	输入	1	压缩数据行同步头
dec_valid_out	输出	1	解码数据输出使能
dec_pix_out	输出	120	解码数据输出
dec_nvp_out	输出	2	解码数据像素使能
dec_end_line_out	输出	1	解码数据行结束
dec_end_frame_out	输出	1	解码数据帧结束
dec_error0exp	输出	4	错误标志寄存器 0
dec_error1exp	输出	4	错误标志寄存器 1
dec_mode_stat	输出	7	DSC DECODE 模块工作模式信号
regs_db_update	输入	1	APB 寄存器更新

为了正确实现解码，用户需要在压缩数据传入 DSC DECODE 模块之前通过 APB BUS 更新 DSC 内部寄存器。寄存器更新完成后，压缩数据按照行列顺序连续均匀的传入到 DSC DECODE 模块。解码后的 RGB 数据会延时一行输出，每一个 dec_pix_out 数据包含了三个像素点。



3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

3.1 直流电气特性

3.1.1 最大绝对额定值

表 3-1-1 最大绝对额定值

SYMBOL	参数	最小	最大	单位
VCC	内核供电电压	-0.5	1.32	V
VCCAUX	辅助电源	-0.5	3.75	V
VCCIO	I/O 驱动供电电压	-0.5	3.75	V
V_i^1	直流输入电压	-0.5	3.75	V
V_{ESDHBM}	人体模型静电放电电压	-	±2000	V
V_{ESDCDM}	机器模型静电放电电压	-	±500	V
T_{STG}	存储温度	-65	150	°C
T_J	结点温度	-40	125	°C

注：1. 最大限制适用于直流信号，有关最大下冲和过冲交流规范，请参见表 3-1-2。

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

输入 IO 在信号跳变过程中，可能会产生过冲或下冲，如图 3-1-1 所示，T 为数据的 UI 长度，DT 为过冲信号的持续时间。表 3-1-2 给出了 10 年使用寿命下允许的最大过冲、下冲的占比值。

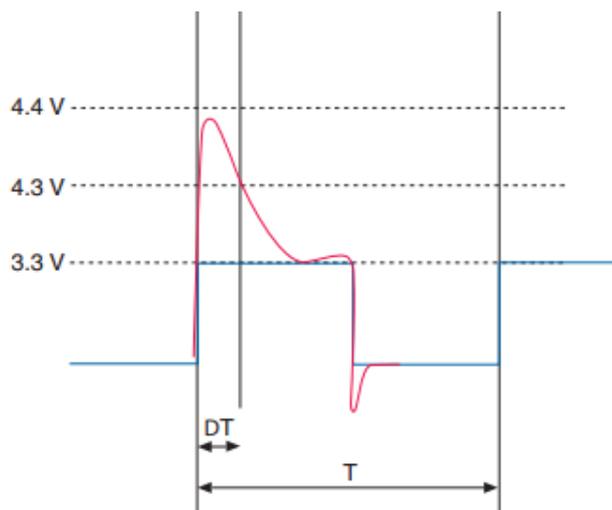


图 3-1-1 输入信号过冲、下冲

表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比

Parameter	Condition (V)	Under/Overshoot Duration as % of High Time	Unit
VI AC Input Voltage	-0.3	100	%
	-0.4	100	%
	-0.5	100	%
	-0.6	49	%
	-0.7	28	%
	-0.8	16	%
	-0.9	9.23	%
	-1	5.27	%
	3.6	100	%
	3.7	100	%
	3.75	100	%
	3.8	86	%
	3.9	49	%
	4	28	%
	4.1	16	%
	4.2	9.23	%
	4.3	5.27	%
	4.4	3	%



3.1.2 推荐基本操作条件

表 3-1-3 直流电气推荐基本操作条件

SYMBOL	参数		最小	典型	最大	单位
VCC	Core 电源		1.14	1.2	1.26	V
VCCAUX	辅助电源@1.8V		1.71	1.8	1.89	V
VCCAUX	辅助电源@2.5V		2.375	2.5	2.625	V
VCCAUX	辅助电源@3.3V		3.135	3.3	3.465	V
VCCA_DPHY0/1	DPHY 模拟电源		1.14	1.2	1.26	V
VCCPLL_DPHY0/1	DPHY PLL 电源		1.14	1.2	1.26	V
VCCPSRAM	PSRAM 电源		1.71	1.8	1.89	V
VCCIO ³	I/O供电电压 @ 3.3V		3.135	3.3	3.465	V
	I/O 供电电压 @ 2.5V		2.375	2.5	2.625	V
	I/O供电电压 @ 1.8V		1.71	1.8	1.89	V
	I/O供电电压 @ 1.5V		1.425	1.5	1.575	V
	I/O供电电压 @ 1.2V		1.14	1.2	1.26	V
V _i	直流输入电压	增强型IOB	-0.5	—	VCCIO+0.5	V
V _o	输出电压		0	—	V _{CCIO}	V
T _J	结点温度	扩展商业	-30	—	85	°C
		工业	-40	—	100	°C
T _{RAMP}	电源缓变率		0.05	—	100	V/ms
I _{Diode}	PCI-clamp 二极管电流		—	—	10	mA

注：1. 器件工作时要求所有 I/O 的 VCCIO 必须连接好电源

2. 所有输入缓冲器由 VCCIO 供电

3. 如果使用 MSPI 加载模式，且加载频率大于等于 44MHz，则要求电源上电时间小于 10ms。



3.1.3 基本供电要求

表 3-1-4 SF1 最小供电要求

电源域标识	基本供电要求 ³	备注
VCCAUX	1.8V/2.5V/3.3V	必须供电
VCC	1.2V	必须供电
VCCI00	1.2V-3.3V	必须供电
VCCI01 ¹	1.8V	必须供电，片内 Flash 电源 ⁴
VCCI02	1.2-3.3V	必须供电
VCCI03 ¹	1.2-3.3V	必须供电
VCCPSRAM	1.8V	选择性供电 ² ，片内 PSRAM 电源
VCCA_DPHY0/1	1.2V	必须供电，片内 MIPI DPHY 电源
VCCPLL_DPHY0/1	1.2V	必须供电，片内 MIPI DPHY 电源

注：1. POR 上电检测，必须供电

2. 如果使用 PSRAM 时，必须供电，避免潜在风险

3. 如果使用 LVDS，需要根据使用的 LVDS 类型来提供相应 BANK 电压，例如：如果使用 LVDS33 电平则 BANK 电压为 3.3V

4. SF1S60VG81C 器件和 SF1N60VG81 器件 Flash 供电必须为 1.8V；SF1S60CG121I 器件 Flash 供电范围为 1.8V-3.3V

3.1.4 静态供电电流

表 3-1-5 静态电源电流

SYMBOL	参数	典型	单位
I_{VCC}	Core 电源@1.2v	10	mA
$I_{vdp\text{hy}}$	DPHY 电源@1.2v	0.2	mA
$I_{vccpsram}$	PSRAM 电源@1.8v	0.3	mA
I_{VCCI0}	I/O 组电源@1.8v	1.5	mA
I_{VCCAUX}	辅助电源@1.8v	2	mA

注：1. 该表中的数值基于通用的推荐操作条件，室温下（ $T_J = 25^\circ\text{C}$ ）使用典型器件测得。

2. 典型值为空白器件，没有输出电流负载，高阻抗状态下，并当所有上拉/下拉电阻器在 I/O 引脚禁止时，测量的所有 I/O 驱动的静态电源电流。

3.1.5 热插拔规格

表 3-1-6 热插拔规格

SYMBOL	参数	最大	单位
$I_{IOPIN(DC)}$	DC电流, 每个I/O	1	mA
$I_{IOPIN(AC)}$	AC电流, 每个I/O	8 ¹	mA

注: 信号上升时间等于或大于 10ns。

3.1.6 上电复位电压阈值

表 3-1-7 上电复位电压阈值

SYMBOL	参数	最小	典型	最大	单位
Vcc Porup	Vcc 上电检测阈值	0.95	1	1.05	V
Vcc_Pordn	-	0.78	0.82	0.86	V
V _{CCAUX_PORUP}	V _{CCAUX} 上电检测阈值	1.5	1.55	1.6	V
Vccio	Vccio上电检测	0.95	1.0	1.05	V
V _{CCAUX_PORDN}	VCCAUX掉电检测阈值	—	1.35	—	V

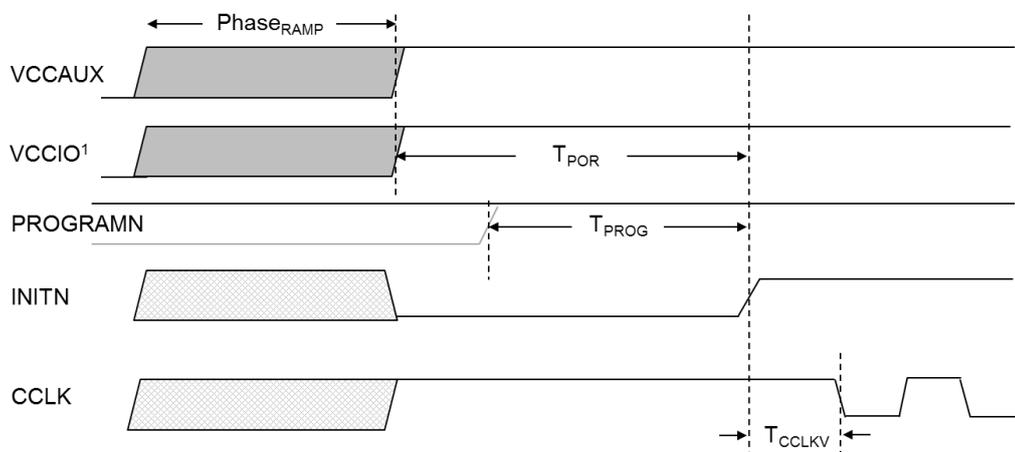


图 3-1-2 器件上电时序图

1. POR 监测 JTAG 端口所在的 VCCIO*电平
2. 对 VCCAUX、VCCIO*没有上电时序要求
3. 电源上电过程中 (PhaseRAMP) 所有的 IO 处于三态
4. TPOR 最大为 15ms, TPROG 同 TPOR, TCCLK 约 6.4us。



3.1.7 I/O 管脚电容

表 3-1-8 SF1 器件管脚电容

SYMBOL	参数	BGA PKG	ON DIE CAP	单位
C_{I/O_SE}	单端信号 I/O 管脚输入电容	6	2	pF
C_{I/O_SE_DIFF}	单端差分兼容 I/O 管脚输入电容	7	2.2	pF
C_{I/O_DPHY}	MIPI DPHY I/O 管脚输入电容	3	1	pF

3.1.8 I/O 直流电气特性

表 3-1-9 IOB 推荐基本操作条件

SYMBOL	参数	条件	最小	典型	最大	单位
I_{IL}, I_{IH}	输入漏电电流	$0 \leq V_i \leq V_{CCIO} - 0.5V$	-15	—	15	μA
I_{IH}	输入漏电电流	$V_{CCIO} - 0.5V \leq V_i \leq V_{IH_MAX}$	—	—	150	μA
I_{PU}	I/O 弱上拉电流	—	35	—	250	μA
I_{PD}	I/O 弱下拉电流	—	35	—	250	μA
I_{BHLS}	总线保持 0 维持电流	—	40	—	—	μA
I_{BHHS}	总线保持 1 维持电流	—	40	—	—	μA
I_{BHLO}	总线保持 0 改写电流	$0 \leq V_i \leq V_{CCIO}$	—	—	350	μA
I_{BHHO}	总线保持 1 改写电流	$0 \leq V_i \leq V_{CCIO}$	—	—	350	μA
V_{BHT}	总线保持触发电平	—	V_{IL_max}	—	V_{IH_min}	V

3.1.9 单端 I/O 直流电学特性

表 3-1-10 SF1 器件 IOB 单端 I/O 标准规格

标准	V_{IL} (V)		V_{IH} (V)		V_{OL} 最大 (V)	V_{OH} 最小 (V)	I_{OL} (mA)	I_{OH} (mA)
	最小	最大	最小	最大				
LVTTL33 LVCMOS33	-0.3	0.8	2.0	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
							20	-20
LVCMOS25	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
LVCMOS18	-0.3	$0.35 * V_{CCIO}$	$0.65 * V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8



标准	V _{IL} (V)		V _{IH} (V)		V _{OL} 最大 (V)	V _{OH} 最小 (V)	I _{OL} (mA)	I _{OH} (mA)
	最小	最大	最小	最大				
							10	-10
LVC MOS15	-0.3	0.35*V _{CCIO}	0.65*V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} - 0.4	4 8	-4 -8
LVC MOS12	-0.3	0.35*V _{CCIO}	0.65*V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} - 0.4	4	-4
PCI33	-0.3	0.3*V _{CCIO}	0.5*V _{CCIO}	V _{CCIO} +0.3	0.1*V _{CCIO}	0.9*V _{CCIO}	1.5	-0.5
PCI X33	-0.3	0.35*V _{CCIO}	0.5*V _{CCIO}	V _{CCIO} +0.3	0.1*V _{CCIO}	0.9*V _{CCIO}	1.5	-0.5

表 3-1-11 Single-Ended Interfaces

INPUT STANDARD	VCCIO (TYP.)				
	3.3V	2.5 V	1.8V	1.5V	1.2V
LVTTL33	√	√ ²	√ ²	√ ²	√ ²
LVC MOS33	√	√ ²	√ ²	√ ²	√ ²
LVC MOS25	√ ¹	√	√ ²	√ ²	√ ²
LVC MOS18		√ ¹	√	√ ²	√ ²
LVC MOS15			√ ¹	√	√ ²
LVC MOS12				√ ¹	√

注：1. Under-drive causes higher DC current when the I/O is at logic high

2. 不能打开 PCI-clamp 和 OverDriven，否则会产生漏电流

3.1.10 差分 I/O 电学特性

表 3-1-12 SF1 LVDS RX 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V _{IP} , V _{IN}	输入电平	VCCIO=3.3	0	-	3.2	V
V _{IP} , V _{IN}	输入电平	VCCIO=2.5	0	-	2.4	V
V _{IP} , V _{IN}	输入电平	VCCIO=1.8	0	-	1.7	V
V _{ID}	输入差分摆幅	-	50	350	600	mV
V _{ICM}	输入共模电压	VCCIO=3.3	0.6	-	3.15	V
V _{ICM}	输入共模电压	VCCIO=2.5	0.05	-	2.35	V
V _{ICM}	输入共模电压	VCCIO=1.8	0.05	-	1.65	V
I _{IN}	输入电流	上电过程	-	-	+/-15	uA

表 3-1-13 SF1 LVDS TX 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V _{OD}	标准差分输出摆幅	VOP-VON , RT=100ohm	150	250	350	mV
V _{OD}	差分输出最大摆幅	VOP-VON , RT=100ohm	450	480	550	mV
ΔV _{OD}	差分输出摆幅变化	-	-	-	50	mV



参数	描述	测试条件	最小	典型	最大	单位
V_{OCM}	输出共模电压	$V_{CC10}=3.3$ $(V_{OP}+V_{ON})/2, R_T=100\text{ohm}$	1.2	-	1.4	mV
V_{OCM}	输出共模电压	$V_{CC10}=2.5$ $(V_{OP}+V_{ON})/2, R_T=100\text{ohm}$	0.8	-	1.4	mV
V_{OCM}	输出共模电压	$V_{CC10}=1.8$ $(V_{OP}+V_{ON})/2, R_T=100\text{ohm}$	0.8	-	1.0	mV
V_{OCM}	输出共模电压	$V_{CC10}=1.5$ $(V_{OP}+V_{ON})/2, R_T=100\text{ohm}$	-	0.8	-	mV
V_{OCM}	输出共模电压	$V_{CC10}=1.2$ $(V_{OP}+V_{ON})/2, R_T=100\text{ohm}$	-	0.8	-	mV
ΔV_{OCM}	差分输出摆幅变化	-	-	-	50	mV

注：当差分输入摆幅大于 500mV 时，只能使用外接 100 欧差分匹配电阻

表 3-1-14 SF1 LVPECL33 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V_{IP}, V_{IN}	输入电平	-	0		2.95	V
V_{ID}	输入差分摆幅	-	100	-	1600	mV
V_{ICM}	输入共模电压	-	0.3	-	2.9	V

注：LVPECL 接收不能使用芯片内部 100 欧电阻。

3.1.11 MIPI DPHY 直流电气特性

表 3-1-15 HS Transmitter 直流特性

参数	描述	最小	典型	最大	单位
V_{CMTX}	静态共模电压	150	200	250	mV
$ \Delta V_{CMTX(1,0)} $	V_{CMTX} 差分输出摆幅变化	-	-	5	mV
$ V_{OD} $	差分电压	140	200	270	mV
$ \Delta V_{OD} $	V_{OD} 差分输出摆幅变化	-	-	10	mV
V_{OHHS}	高速模式输出电压	-	-	360	mV
Z_{OS}	单端输出阻抗	40	50	62.5	Ω
ΔZ_{OS}	单端输出阻抗失配	-	-	10	%

表 3-1-16 HS Receiver 直流特性

参数	描述	最小	典型	最大	单位
$V_{CMRX(DC)}^{(1)(2)}$	高速接收模式共模电压 (大于 1.5 Gbps)	70	-	330	mV
V_{IDTH}	差分输入高阈值 (小于等于 1.5 Gbps)	-	-	70	mV
	差分输入高阈值 (大于 1.5 Gbps)	-	-	40	mV



参数	描述	最小	典型	最大	单位
V_{IDTL}	差分输入低阈值 (小于等于 1.5 Gbps)	-70	-	-	mV
	差分输入高阈值 (大于 1.5 Gbps)	-40	-	-	mV
$V_{IHHS}^{(1)}$	单端输入高电平	-	-	460	mV
$V_{ILHS}^{(1)}$	单端输入低电平	-40	-	-	mV
$V_{TERM-EN}$	单端高速临界值	-	-	450	mV
Z_{ID}	差分输入阻抗	80	100	125	Ω

注：1. 该表值包括发射器和接收器之间的 50mV 接地差，静态共模电平容差以及 450MHz 以下的变化。

2. 排除超过 450MHz 的 100mV 正弦波的附加 RF 干扰。

表 3-1-17 LP Receiver 直流特性

参数	描述	最小	典型	最大	单位
V_{IH}	高电平输入电压（小于等于 1.5 Gbps）	880	-	-	mV
	高电平输入电压（大于 1.5 Gbps）	740	-	-	mV
V_{IL}	低电平 输入电压（非迟滞模式）	-	-	550	mV
$V_{IL-ULPS}$	低电平输入电压（迟滞模式）	-	-	300	mV
V_{HYST}	输入迟滞	25	-	-	mV

表 3-1-18 LP Transmitter 直流特性

参数	描述	最小	典型	最大	单位
V_{OH}	输出高平电压 (小于等于 1.5 Gbps)	1.1	1.2	1.3	V
	输出高平电压 (大于 1.5 Gbps)	0.95	-	1.3	V
V_{OL}	输出低平电压	-50	-	50	mV
Z_{OLP}	输出阻抗	110	-	-	Ω



3.2 交流电气特性

本章节提供 SF1 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

3.2.1 时钟性能

表 3-2-1 推荐的最大时钟操作频率

器件	性能	单位
所有器件	440	Mhz

3.2.2 嵌入数字信号处理模块（DSP）规格

表 3-2-2SF1 嵌入 DSP 规格

器件	性能	单位
M9x9 (All register)	400	Mhz
M18x18 (All register)	400	Mhz

3.2.3 锁相环(PLL)规格

表 3-2-3 SF1 器件的 PLL 规格

参数	描述	最小	典型	最大	单位
f_{IN}	输入时钟频率	10	—	400	MHz
f_{PFD}	鉴频鉴相器 (PFD) 输入频率	10	—	400	MHz
f_{VCO}	锁相环内部振荡器频率范围	300	—	1200	MHz
f_{OUT}	输出时钟频率	—	—	600	MHz
交流特性					
t_{IN_H}	输入时钟高电平时间 (90% to 90%)	0.5	—	—	ns
t_{IN_L}	输入时钟低电平时间 (10% to 10%)	0.5	—	—	ns
f_{INDUTY}	输入时钟占空比	40	—	60	%
f_{RISE}	输入时钟上升沿斜率	1	—	3	V/ns
f_{FALL}	输入时钟下降沿斜率	1	—	3	V/ns
$t_{INJITTER}^1$	输入时钟抖动, $f_{PFD} \geq 20$ MHz	—	—	800	ps p-p
	输入时钟抖动, $f_{PFD} < 20$ MHz	—	—	0.02	UI
$t_{OUTDUTY}$	输出占空比波动范围 (用户设定值基础上波动)	-5	0	5	%
$t_{OUTJITTER}^2$	输出时钟周期抖动 (Period Jitter) $f_{OUT} > 100$ MHz, $f_{VCO} > 400$ Mhz	—	—	160	ps p-p
	输出时钟相邻周期抖动 (Cycle-to-cycle Jitter) $f_{OUT} > 100$ MHz, $f_{VCO} > 400$ Mhz	—	—	200	ps p-p
	输出时钟相位抖动 (Phase Jitter)	—	—	180	ps p-p



参数	描述	最小	典型	最大	单位
	$f_{OUT} > 100\text{MHz}$, $f_{VCO} > 400\text{MHz}$				p
t_{LOCK}^3	PLL 锁定时间	—	—	15	ms
t_{DLOCK}	动态锁定时间（切换、重配置之后）	—	—	15	ms
t_{PLL_PS}	PLL 相移精度	—	—	± 125	ps
t_{RST}	复位脉冲最小宽度	1	—	—	ns
t_{RSTREC}	复位恢复时间	1	—	—	ns
$t_{CONFIGPLL}$	PLL 相位动态配置时间	—	3.5	—	cycles
$f_{SCANCLK}$	SCANCLK 频率	—	—	100	MHz

注：1. 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。PLL 不会滤掉低频输入噪声而是会跟上输入的低频噪声，PLL 会滤掉部分高频输入噪声。

2. 周期抖动通过对 PLL 输出采样 10000 次测量得到。相邻周期间抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。

3. t_{LOCK} 之后，在输出端得到稳定时钟。

3.2.4 存储器模块（ERAM）规格

表 3-2-4 SF1 存储器模块规格表

存储器	模式	性能	单位
ERAM9K	FIFO 512 x 18	220	MHz
	单口 512 x 18	220	MHz
	简单双口 512 x 18	220	MHz
	真双口 1024 x 9	220	MHz

3.2.5 高速 I/O 接口性能

表 3-2-5 高速 I/O 接口性能表

输入/输出标准	描述	最大	单位
最大输入频率			
LVDS33	LVDS, VCCIO=3.3V	600	MHz
LVDS25	LVDS, VCCIO = 2.5V	600	MHz
LVDS18	LVDS, VCCIO=1.8V	600	MHz
LVPECL33	LVPECL, VCCIO = 3.3V	400	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVC MOS33	LVC MOS, VCCIO = 3.3V	166	MHz
LVC MOS25	LVC MOS, VCCIO = 2.5V	166	MHz
LVC MOS18	LVC MOS, VCCIO = 1.8V	166	MHz
LVC MOS15	LVC MOS, VCCIO = 1.5V	166	MHz
LVC MOS12	LVC MOS, VCCIO = 1.2V	120	MHz



输入/输出标准	描述	最大	单位
最大输出频率			
LVDS33	LVDS, VCCIO=3.3v	600	MHz
LVDS25	LVDS, VCCIO = 2.5V	600	MHz
LVDS18	LVDS, VCCIO=1.8v	600	MHz
LVDS15	LVDS, VCCIO = 1.5V	400	MHz
LVDS33E	LVDS, Emulated, VCCIO = 3.3V	166	MHz
LVDS25E	LVDS, Emulated, VCCIO = 2.5V	166	MHz
LVPECL33E	LVPECL, Emulated, VCCIO = 3.3V	166	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVC MOS33	LVC MOS, VCCIO = 3.3V	166	MHz
LVC MOS25	LVC MOS, VCCIO = 2.5V	166	MHz
LVC MOS18	LVC MOS, VCCIO = 1.8V	166	MHz
LVC MOS15	LVC MOS, VCCIO = 1.5V	166	MHz
LVC MOS12	LVC MOS, VCCIO = 1.2V	80	MHz

3.2.6 配置模块

表 3-2-6 SF1 器件配置模式时序规格表

下载模式	最小	典型	最大	单位
主模式串行 SPI (MSPI)	2.5	—	66 ¹	MHz
从模式串行 (SS)	—	—	33	MHz
从模式并行 x8 (SP)	—	—	33	MHz

注：1. 当使用 44MHz 和 66MHz 加载频率时要求上电斜率小于 10ms

3.2.7 MIPI DPHY

表 3-2-7 HS Transmitter 交流规格表

参数	描述	最小	典型	最大	单位
$\Delta V_{\text{CM TX(HF)}}$	同电平变化 (大于 450MHz)	—	—	15	mV
$\Delta V_{\text{CM TX(LF)}}$	同电平变化 (50-450MHz)	—	—	25	mV
t_R and t_F	上升、下降时间 (20-80%)	—	—	0.3 ⁽¹⁾	UI
		—	—	0.35 ⁽²⁾	UI
		100 ⁽³⁾	—	—	ps
		—	—	0.4 ⁽⁴⁾	UI
		50	—	—	ps

注：1. 支持最大 HS 速率 < 1Gbps 时 (UI 大于等于 1ns) 适用。

2. 支持最大 HS 速率 > 1Gbps 时 (UI 小于等于 1ns) 同时小于 1.5Gbps (UI 大于等于 0.667ns) 适用。



3. 支持最大 HS 速率 $\leq 1.5\text{Gbps}$ 时适用。但是, 为避免过多的反射速率 $<1\text{G}$ (UI 小于等于 1ns) bps, 不应使用低于 150ps 的值。

4. 支持最大 HS 速率 $>1.5\text{Gbps}$ 时适用于所有 HS 的速率。

表 3-2-8 HS Receiver 交流规格表

参数	描述	最小	典型	最大	单位
$\Delta V_{\text{CMTX(HF)}}$	共模干扰 ($>450\text{MHz}$)	—	—	100	mV
		—	—	50	mV
$\Delta V_{\text{CMTX(LF)}}$	共模干扰 ($50\text{--}450\text{MHz}$)	-50	—	50	mV
		-25	—	25	mV
C_{CM}	共模终端	—	—	60	pF

表 3-2-9 LP Receiver 交流规格表

参数	描述	最小	典型	最大	单位
eSPIKE	输入脉宽抑制	—	—	300	V. ps
$T_{\text{min_rx}}$	最小脉冲宽度响应时间	20	—	—	ns
V_{INT}	峰值干扰幅度	—	—	200	mV
f_{INT}	干扰频率	450	—	—	MHz

表 3-2-10 LP Transmitter 交流规格表

参数	描述	最小	典型	最大	单位	
$T_{\text{RLP}}/T_{\text{FLP}}$	上升和下降时间 (15%–85%)	—	—	25	ns	
T_{REOT}	上升和下降时间 (30%–85%)	—	—	35	ns	
$T_{\text{LP-PULSE-TX}}$	LP 的脉冲宽度 异或时钟	停止状态之后的第一个 LP 异或时钟脉冲或停止状态之前的最后一个脉冲	40	—	—	ns
		其它脉宽	20	—	—	ns
$T_{\text{LP-PRE-TX}}$	LP 周期的异或时钟	90	—	—	ns	
$\delta V/\delta SR$	Slew rate@ $C_{\text{load}}=0\text{pF}$	—	—	500	mV/ns	
	Slew rate@ $C_{\text{load}}=5\text{pF}$	—	—	300	mV/ns	
	Slew rate@ $C_{\text{load}}=20\text{pF}$	—	—	250	mV/ns	
	Slew rate@ $C_{\text{load}}=70\text{pF}$	—	—	150	mV/ns	
C_{load}	负载电容	0	—	70	pF	



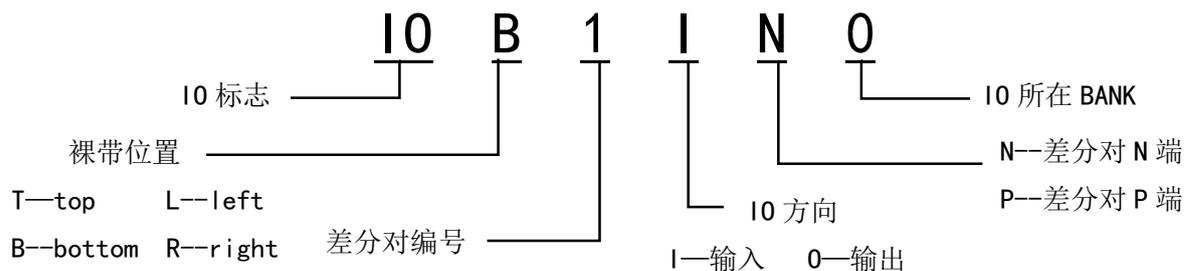
4 引脚和封装

4.1 引脚定义和规则

表 4-1-1 引脚定义和规则

引脚名称	方向	描述
普通 I/O		
GND	—	电源地
VCC	—	内部核心模块电源
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
VCCPSRAM	—	PSRAM 供电电源
VCCA_DPHY0/1	—	DPHY 模拟电源
VCCPLL_DPHY0/1	—	DPHY PLL 电源
时钟引脚		
GCLKx	I/O	全局时钟专用输入引脚
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
JTAGEN	输入	JTAG 使能
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
PROGRAMN	输入	全局复位输入，低有效
SCLK	I/O	配置时钟专用输入引脚
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路

4.2 IO 命名规则





4.3 csfBGA81 引脚信息

编号	BANK	csfBGA81 引脚说明	编号	BANK	csfBGA81 引脚说明
A9	0	IO_R1P_0, GCLK15, SCLK	A7	3	IO_T21P_3, PROGRAMN
B9	0	IO_R1N_0, GCLK14, USRCLK	B7	3	IO_T21N_3, DONE
C8	0	IO_R2P_0, D0, GCLK13, PLL1	A5	3	IO_T31P_3, GCLKT5, TDO
C9	0	IO_R2N_0, D1, GCLK12	A6	3	IO_T31N_3, GCLKT4, TDI
D8	0	IO_R3P_0, D2, GCLK11	A8	3	IO_T41P_3, GCLKT7, TCK
D9	0	IO_R3N_0, D3, GCLK10	B8	3	IO_T41N_3, GCLKT6, TMS
E9	0	IO_R4P_0, D4, GCLK9			
E8	0	IO_R4N_0, D5, GCLK8			
F9	0	IO_R5P_0, D6, GCLK5			
F8	0	IO_R5N_0, D7, GCLK4			
E4	2	IO_B1P_2, GCLK5			
F5	2	IO_B1N_2, GCLK4			
F3	2	IO_B2P_2, GCLK7			
G4	2	IO_B2N_2, GCLK6			
G2	2	IO_B3P_2			
H3	2	IO_B3N_2, GCLK3			
H2	2	IO_B4P_2			
J3	2	IO_B4N_2, GCLK2			
G1	2	IO_B5P_2, PLL0			
H1	2	IO_B5N_2, GCLK0			
J1	2	IO_B6P_2			
J2	2	IO_B6N_2, GCLK1			
A4	3	IO_T01P_3, CSON			
B4	3	IO_T01N_3, JTAGEN			
B5	3	IO_T11P_3, INITN			
B6	3	IO_T11N_3, CSN			



编号	BANK	csfBGA81 引脚说明	编号	BANK	csfBGA81 引脚说明
E1	—	DPHY0_D3P	C3	—	VCC
E2	—	DPHY0_D3N	E3	—	VCC
A1	—	DPHY0_D2P	G5	—	VCC
A2	—	DPHY0_D2N	G7	—	VCC
C1	—	DPHY0_CLKP	D3	—	GND
C2	—	DPHY0_CLKN	G3	—	GND
B1	—	DPHY0_D1P	C4	—	GND
B2	—	DPHY0_D1N	D5	—	GND
D1	—	DPHY0_D0P	G6	—	GND
D2	—	DPHY0_D0N	D7	—	GND
J5	—	DPHY1_D3P	F7	—	GND
H5	—	DPHY1_D3N	C7	0	VCC10_0
J9	—	DPHY1_D2P	F6	1	VCC10_1
H9	—	DPHY1_D2N	F4	2	VCC10_2
J7	—	DPHY1_CLKP	E5	2	VCC10_2
H7	—	DPHY1_CLKN	C5	3	VCC10_3
J8	—	DPHY1_D1P			
H8	—	DPHY1_D1N			
J6	—	DPHY1_D0P			
H6	—	DPHY1_D0N			
A3	—	VCCPLL_DPHY0			
G9	—	VCCPLL_DPHY1			
F1	—	VCCA_DPHY0			
J4	—	VCCA_DPHY1			
C6	—	VCCPSRAM			
D6	—	VCCPSRAM			
E6	—	VCCPSRAM			
D4	—	VCCAUX			
E7	—	VCCAUX			
B3	—	GNDPLL_DPHY0			
G8	—	GNDPLL_DPHY1			
F2	—	GND_DPHY0			
H4	—	GND_DPHY1			



4.4 caBGA121 引脚信息

编号	BANK	caBGA121 引脚说明	编号	BANK	caBGA121 引脚说明
H8	0	IO_R0N_0, GCLK0	L2	2	IO_B3N_2
H7	0	IO_R0P_0, GCLK1	K2	2	IO_B3P_2
G9	0	IO_R1N_0, GCLK2	J2	2	IO_B4N_2, GCLK3
H9	0	IO_R1P_0, GCLK3	H2	2	IO_B4P_2
H10	0	IO_R2N_0, GCLK4, D7	L3	2	IO_B5N_2
H11	0	IO_R2P_0, GCLK5, D6	K3	2	IO_B5P_2
G10	0	IO_R3N_0	J4	2	IO_B6N_2, GCLK4
G11	0	IO_R3P_0	J5	2	IO_B6P_2, GCLK5
F9	0	IO_R4N_0, GCLK6	H5	2	IO_B7N_2
E9	0	IO_R4P_0, GCLK7	G4	2	IO_B7P_2
F10	0	IO_R5N_0	L4	2	IO_B8N_2, GCLK6
E10	0	IO_R5P_0	K4	2	IO_B8P_2, GCLK7
F11	0	IO_R6N_0, GCLK8, D5	B7	3	IO_T01N_3, JTAGEN
E11	0	IO_R6P_0, GCLK9, D4	B6	3	IO_T01P_3, CSON
D11	0	IO_R7N_0	A4	3	IO_T11N_3, CSN
D10	0	IO_R7P_0	A5	3	IO_T11P_3, INITN
C11	0	IO_R8N_0, GCLK10, D3	E4	3	IO_T21N_3, GCLK0
C10	0	IO_R8P_0, GCLK11, D2	D5	3	IO_T21P_3, GCLK1
B11	0	IO_R9N_0	B4	3	IO_T31N_3, DONE
B10	0	IO_R9P_0	B5	3	IO_T31P_3, PROGRAMN
A11	0	IO_R10N_0, GCLK12, D1	D6	3	IO_T41N_3, GCLK2
A10	0	IO_R10P_0, GCLK13, D0	D7	3	IO_T41P_3, GCLK3
B8	0	IO_R11N_0	C4	3	IO_T51N_3, GCLK4, TD1
B9	0	IO_R11P_0	C5	3	IO_T51P_3, GCLK5, TDO
A8	0	IO_R12N_0, GCLK14, USRCLK	C6	3	IO_T61N_3
A9	0	IO_R12P_0, GCLK15, SCLK	C7	3	IO_T61P_3
H1	2	IO_B0N_2, GCLK0	A6	3	IO_T71N_3, GCLK6, TMS
J1	2	IO_B0P_2	A7	3	IO_T71P_3, GCLK7, TCK
L1	2	IO_B1N_2, GCLK1			
K1	2	IO_B1P_2			
H3	2	IO_B2N_2, GCLK2			
G3	2	IO_B2P_2			

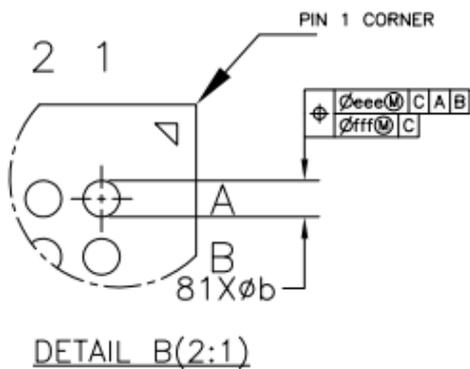
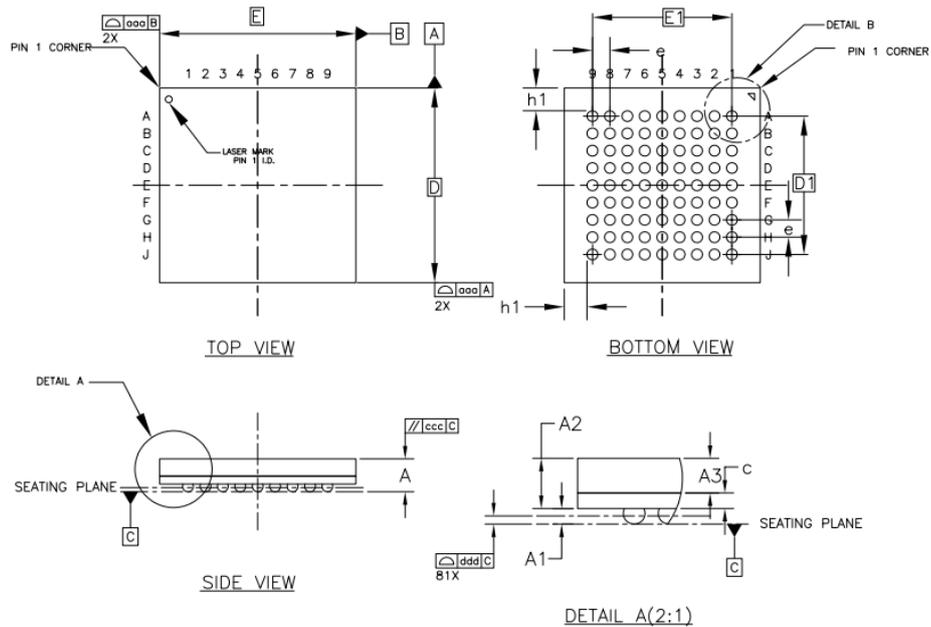


编号	BANK	caBGA121 引脚说明	编号	BANK	caBGA121 引脚说明
E1	—	DPHY0_D0N	C3	—	VCC
E2	—	DPHY0_D0P	C8	—	VCC
C1	—	DPHY0_D1N	E3	—	VCC
C2	—	DPHY0_D1P	J7	—	VCC
B1	—	DPHY0_D2N	J9	—	VCC
B2	—	DPHY0_D2P	G8	0	VCC100
F1	—	DPHY0_D3N	D9	0	VCC100
F2	—	DPHY0_D3P	H6	1	VCC101
D1	—	DPHY0_CKP	J3	2	VCC102
D2	—	DPHY0_CKN	G5	2	VCC102
L7	—	DPHY1_D0P	D4	3	VCC103
K7	—	DPHY1_D0N	F4	3	VCC103
L9	—	DPHY1_D1P	A1	—	GND
K9	—	DPHY1_D1N	B3	—	GND
L10	—	DPHY1_D2P	C9	—	GND
K10	—	DPHY1_D2N	D3	—	GND
L6	—	DPHY1_D3P	D8	—	GND
K6	—	DPHY1_D3N	F3	—	GND
L8	—	DPHY1_CKP	F5	—	GND
K8	—	DPHY1_CKN	F6	—	GND
G1	—	VCC_DPHY0	F7	—	GND
L5	—	VCC_DPHY1	F8	—	GND
A2	—	VCCPLL_DPHY0	G6	—	GND
K11	—	VCCPLL_DPHY1	H4	—	GND
E6	—	VCC_PSRAM	J10	—	GND
E7	—	VCC_PSRAM	J6	—	GND
E8	—	VCC_PSRAM	J8	—	GND
E5	—	VCCAUX	L11	—	GND
G7	—	VCCAUX			
A3	—	GND_PLL_DPHY0			
J11	—	GND_PLL_DPHY1			
G2	—	GND_DPHY0			
K5	—	GND_DPHY1			



4.5 封装信息

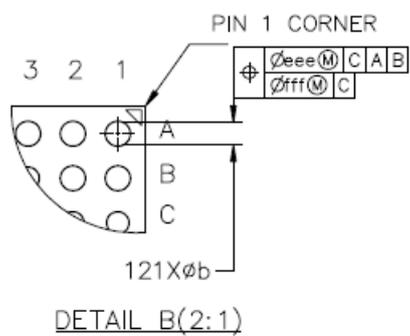
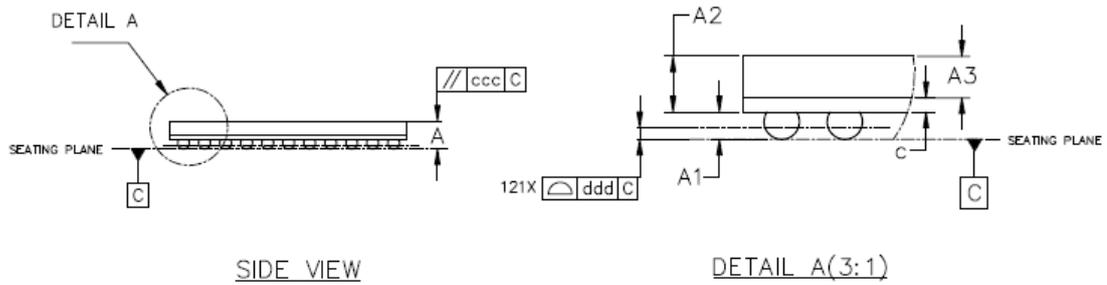
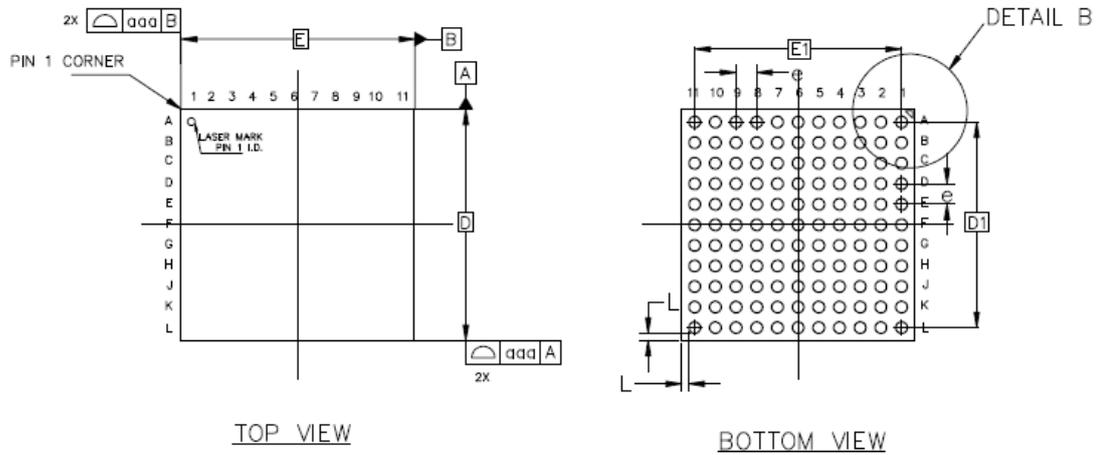
4.5.1 csfBGA81 封装规格



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.68	0.76	0.84
A1	0.13	0.18	0.23
A2	0.53	0.58	0.63
A3	0.40 BASIC		
c	0.15	0.18	0.21
D	4.42	4.50	4.58
D1	3.20 BASIC		
E	4.42	4.50	4.58
E1	3.20 BASIC		
e	0.40 BASIC		
b	0.20	0.25	0.30
h1	0.525 REF		
ooo	0.10		
ccc	0.08		
ddd	0.08		
eee	0.15		
fff	0.05		



4.5.2 caBGA121 封装规格



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.98	1.06	1.14
A1	0.30	0.35	0.40
A2	0.66	0.71	0.76
A3	0.53 BASIC		
c	0.15	0.18	0.21
D	8.90	9.00	9.10
D1	8.00 BASIC		
E	8.90	9.00	9.10
E1	8.00 BASIC		
e	0.80 BASIC		
b	0.40	0.45	0.50
L	0.275REF		
aaa	0.15		
ccc	0.08		
ddd	0.10		
eee	0.15		
fff	0.08		



5 订购信息

表 5-1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级
SF1	S	60	VG81	-

■ 产品系列

◇ SF1 SF1 系列

■ 类别

◇ S 合封器件

◇ N 无 DSC 器件

■ 查找表容量

◇ 60 6k 查找表

■ 封装类型：<类型><#>

◇ VG csFBGA

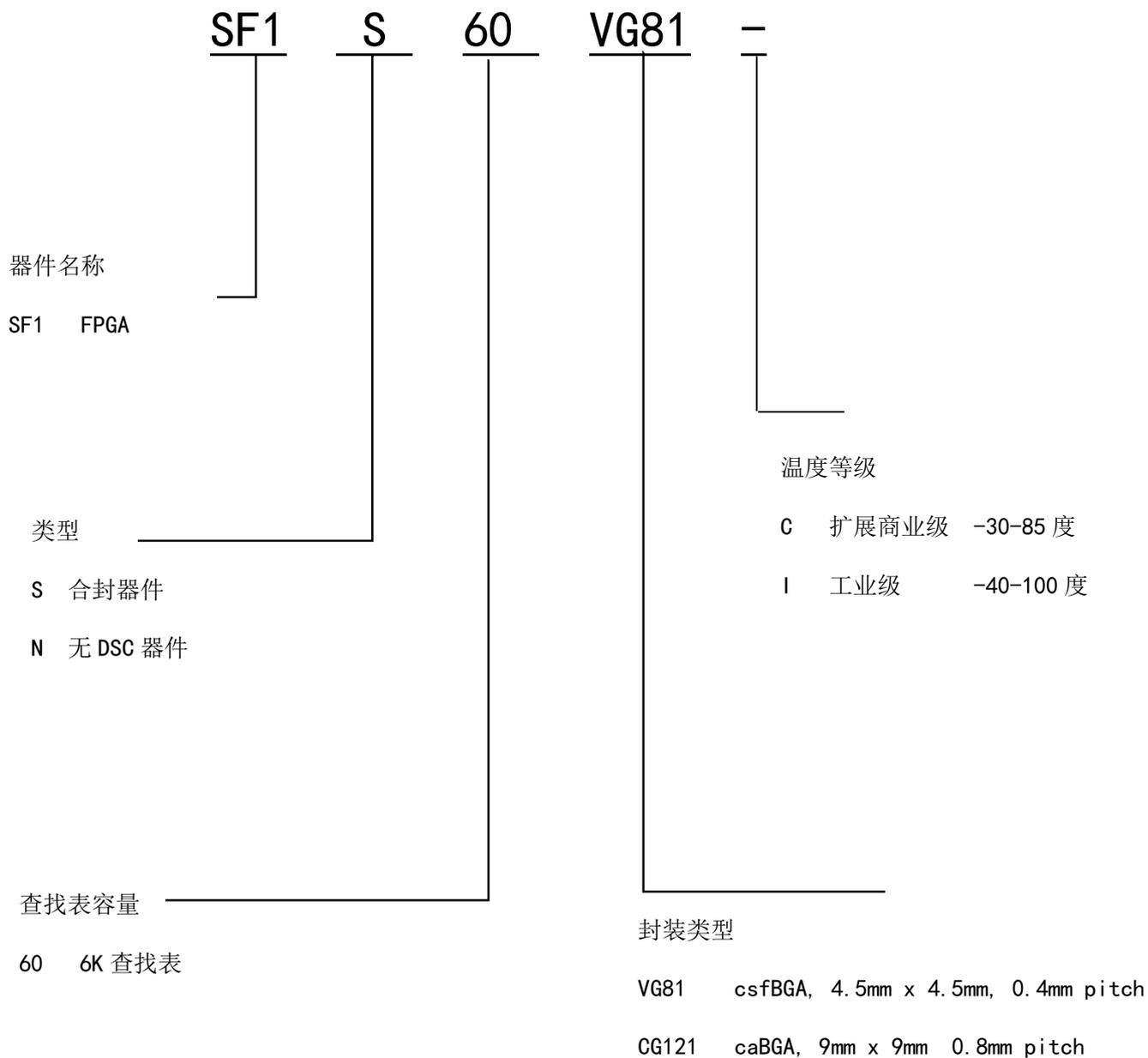
◇ CG caBGA

◇ # 引脚数（81 指 81 个引脚）

■ 温度等级

◇ C 扩展商业级（TJ =-30 - 85 °C）

◇ I 工业级（TJ =-40 - 100 °C）





版本信息

日期	版本	修订记录
2022/4/15	1.0	首次发布正式版
2022/9/9	1.1	<ol style="list-style-type: none"> 修改 3.1.1 节中最大绝对额定值和过冲的描述 在 3.1.3 节基本供电要求的表格注 4 中增加不同器件 Flash 供电电压要求 在表 2-9-5 中增加内部测试引脚 USRCLK 及其说明 增加 SF1N60VG81 器件不支持 DSC DECODE 模块的说明 更新 caBGA121 引脚信息 更新静态电源电流表 3-1-5 的格式，删除器件一栏 修改第 2.4.2.1 节中关于 CLK 分频系数为 4，更新图 2-4-5 时钟分频器和图 2-4-6 时钟分频器时序图 修改表 3-1-4 SF1 最小供电要求，将 VCCIO 供电要求统一为必须供电
2023/2/4	1.1.1	<ol style="list-style-type: none"> SF1 器件的 JTAGEN 配置功能与 IO 复用功能互斥，且所有配置管脚支持差分输入的 IO 复用功能，更新第 1 节中最大用户 IO 数量，更新表 1-1 和表 1-2 中的用户 IO 数量，增加数量单位 更新表 1-1 中的 DRAM 信息 在第 2.12.2 节 MIPI DSI 性能介绍中增加对 MIPI DSI 接收数据包的说明 在第 2.7.1.4 节中增加 LVDS IO 的 P 端支持动态延时调节的说明 更新 mult_bootn 信号名称为 rebootn，在 2.9.9 节增加 rebootn 信号的使用说明 在表 2-9-2 注 2 和表 2-9-3 注 2 中增加 SCLK 的应用限制说明 更新表 2-9-1 SF1 配置模式及引脚表格格式 更新表 2-7-2 中的 IO 输入延时，更新第 2.7.2.4 节中 IO 输出延时的描述，增加表 2-7-3 IO 输出延时调节范围 更新第 4.3 节和第 4.4 节中的引脚信息，更新第 4.2 节 IO 命名规则，补充引脚支持的输入输出方向信息 删除表 3-2-5 中的 LVDS12 电气规格 删除文档中的 RSDS、BLVDS、MLVDS 电气规格 增加器件角标信息 更新文档免责声明
2023/4/26	1.1.2	<ol style="list-style-type: none"> 更新图 2-5-1 PLL 架构图，更新表 2-5-1 PLL 特性中的参考时钟分频系数为 N，反馈时钟分频系数为 M； 删除表 2-8-1 SF1 支持电气标准中 BANK3 列的 Emulated LVDS Outputs 电气支持，删除 BANK1/BANK4/BANK5 列电平支持 删除图 2-8-2 IO 分组示意图中的 BANK4 和 BANK5，更新上文中的介绍



日期	版本	修订记录
		<ul style="list-style-type: none">4. 删除第 2.9.1 节 配置模式中的默认配置模式说明5. 更新第 4.3 节为 csfBGA81 引脚信息6. 在第 5 章订购信息的封装类型中增加 CG 类型，更新 VG 类型说明7. 更新第 5 章订购信息的温度等级，更新表 3-1-3 中的结温商业级为扩展商业级

版权所有© 2023 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。